DOI: 10.48011/asba.v2i1.1212

Retrofit de Controladores Lógicos Programáveis Industriais — Desenvolvimento de Placa de Comunicação

Mateus Xavier Ferreira, Max Mateus Luiz, Estêvão Coelho Teixeira, Guilherme Marcio Soares, Leandro Rodrigues Manso Silva, Carlos Augusto Duque

Faculdade de Engenharia, Universidade Federal de Juiz de Fora, MG.

Abstract: Controllers from the 70s are still in full operation at several steel mills. One difficulty in working with these controllers is that they have restrictions on current functionality, such as limited monitoring systems. Another point is the difficulty in finding spare boards for damaged circuits. Therefore, the present work proposes to retrofit a P5GF card, which performs the communication of the MELPLAC 550 controller with motor controller drivers. The new card, the NP5GF, was developed using programmable logic embedded in FPGA, which facilitates the development of the hardware and also allows the inclusion of new features. The reengineering process will be described and results from the digital and analog parts of the circuit will be presented.

Resumo: Controladores da década de 70 ainda estão em pleno funcionamento em diversas usinas siderúrgicas. Uma dificuldade em trabalhar com esses controladores é que os mesmos apresentam restrições à funcionalidades atuais, como sistemas de monitoramento limitados. Um outro ponto é a dificuldade em encontrar placas sobressalentes para circuitos danificados. Sendo assim, o presente trabalho propõe realizar o retrofit de um cartão P5GF, que realiza a comunicação do controlador MELPLAC 550 com drivers controladores de motores. O novo cartão, o NP5GF, foi desenvolvido utilizando lógica programável embarcada em FPGA, o que facilita o desenvolvimento do hardware e também permite a inclusão de novas funcionalidades. O processo de reengenharia será descrito e resultados das partes digital e analógica do circuito serão apresentados.

Keywords: Industrial Controllers; Communication; Programmable Logic; Retrofit; FPGA
Palavras-chaves: Controladores Industriais; Comunicação; Lógica Programável; Retrofit; FPGA

1. INTRODUÇÃO

Muitos controladores de processos desenvolvidos na década de 70 ainda encontram-se em pleno funcionamento em diversas indústrias nacionais e no exterior. Este é o caso do controlador MELPLAC-550 desenvolvido pela Mitsubish® (Mitsubishi Electric Corp., 1982) e que ainda está ativo em diversas plantas siderúrgicas no mundo. Apesar da robustez destes controladores, eles apresentam limitações em relação à quantidade de informações que podem ser extraídas do processo para as ferramentas modernas de supervisão e controle. Em geral os sistemas de monitoramento de tais controladores são pobres devido a comunicações restritas das variáveis do processo com o sistema de supervisão.

Outro grande problema que afeta as empresas diz respeito à descontinuidade do produto e, portanto, à falta de placas sobressalentes para reposição em caso de queima ou defeito. Isto porque as empresas fabricantes dos controladores passam a oferecer novas gerações que incorporam as novas necessidades dos sistemas de automação industrial modernos. Contudo, esta atualização não cabe no orçamento, muitas vezes apertados, devido às constantes oscilações do mercado e à pressão da competição internacional, mesmo para grandes empresas.

Uma estratégia que vem sendo utilizada pelas empresas detentoras de controladores industrias antigos é utilizar o conceito de retrofit. Este conceito tem como premissa interferir nos sistemas já instalados e que respondem bem à maior parte das tarefas do processo de automação e controle, e incorporar aos mesmos novas funcionalidades através de modificação pontual do hardware do sistema. Por exemplo, é possível desenvolver placas eletrônicas capazes de capturar as variáveis do processo e disponibilizá-las através de portas ethernet para publicar numa rede industrial as informações necessárias para processos de automação, controle e diagnósticos de faltas mais modernos.

Outro ponto fundamental, para manter a operatividade destes sistemas, é desenvolver cartões sobressalentes, através de técnicas de engenharia reversa, uma vez que as documentações disponíveis para reproduzir tais cartões são em geral incompletas.

Já há mais de uma década que o grupo de sistemas eletrônicos da UFJF vem desenvolvendo sistemas de retrofit para controladores industriais, com experiência acumulada em retrofit de controladores Mitsubish e da Ziems. (Duque et al., 2006)

Neste trabalho descrevemos o processo de reengenharia da placa de comunicação entre o controlador MELPLAC 550 e os drivers que controlam os motores de um processo siderúrgico. Este cartão, denominado P5GF, é bem complexo, pois possui internamente um microprocessador para controlar o protocolo de comunicação tanto entre o MELPLAC e o inversor, quanto entre a placa controladora e o MELPLAC. Ao invés de procurar identificar o firmware, escrito para um microprocessador 8085, a equipe optou por identificar o protocolo de comunicação a partir de monitoramento dos sinais externos e reproduzir em FPGA (*Field Programmable Gate Array*) toda a lógica para realizar a comunicação. Além da parte digital do cartão, a equipe teve de desenvolver o sistema analógico de comunicação, que permite a comunicação à distância de até 1 km, a uma taxa de até 1 Mb/s. Esta etapa também foi um desafio, pois muitos componentes utilizados no projeto original, ou são proprietários ou não se encontram mais disponíveis.

Um dos objetivos de se identificar o protocolo e desenvolver um cartão totalmente novo, denominado NP5GF, é que o cartão não sirva somente para substituir o cartão já existente, mas também como um primeiro passo na tentativa de uma futura substituição da CPU do MELPLAC por uma CPU de mais moderna. Para isto, será necessário somente desenvolver a lógica de comunicação entre o cartão e a CPU, já que a comunicação do cartão com os drivers estará completamente implementada. Essa alteração apenas da lógica de comunicação será possível graças ao fato do novo cartão ter sido projetado utilizando lógica programável, através do FPGA. Caso contrário, se utilizássemos Circuitos Integrados (CI) tradicionais, um novo hardware precisaria ser desenvolvido para implementar modificações.

Este trabalho está dividido nas seguintes seções: Na seção 2 é apresentada uma breve descrição do cartão P5GF, que é o cartão que será substituído no projeto; Na seção 3 é apresentada a metodologia empregada para a realização da reengenharia do cartão; A seção 4 apresenta a descrição da nova placa NP5GF; Na seção 5 são apresentados alguns resultados dos testes realizados e na seção 6 são apresentadas as conclusões do projeto.

2. DESCRIÇÃO GERAL DA PLACA P5GF

A Figura 1 mostra um diagrama simplificado do MELPLAC-550, que possui um barramento para a comunicação entre seus componentes. Este barramento possui um segmento relativo aos sinais de controle, que são utilizados para a realização dos procedimentos de leitura e escrita nos periféricos, bem como para outras funcionalidades de gerenciamento e proteção do CLP. Ademais, existem segmentos para endereçamento e troca de dados, ambos de 16 bits. Todas as operações do MELPLAC-550 são comandadas pela CPU que define, através do segmento de endereços, qual o periférico será comandado em um determinado instante.

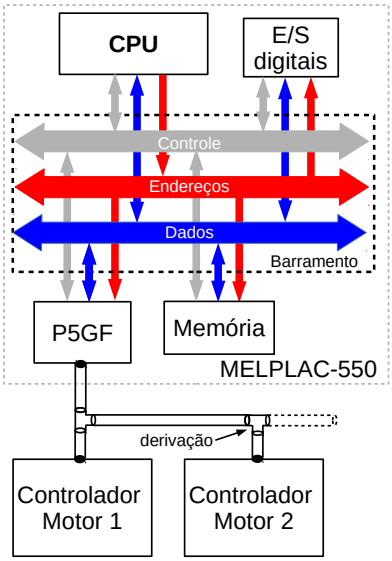

Figura 1. Diagrama de conexão do MELPLAC-550 com estações remotas.

O cartão P5GF tem a finalidade de permitir a comunicação entre o MELPLAC-550 e os *drivers* de motores utilizados no processo, que também são chamados de estações remotas. Como será mostrado a seguir, a comunicação estabelecida entre a placa P5GF e os controladores dos motores é realizada de maneira completamente independente da CPU, de modo que esta não é onerada para esta finalidade. As principais especificações do cartão P5GF são apresentadas na Tabela 1, que mostram que este periférico tem a capacidade de estabelecer a comunicação com até 8 estações remotas. Além disso, a comunicação é realizada através de um único cabo coaxial blindado com a configuração *multi-drop*, que permite que todas as estações sejam conectadas através de derivações (ver Figura 1).

Tabela 1. Principais especificações da placa P5GF.

Item	Especificação
Numero máximo de estações remotas	8
Tamanho máximo do link	1 km
Modo de comunicação	Cíclico
Tempo de duração do ciclo de transmissão	10 ms
Controle de erro	CRC e retransmissão
Configuração do canal	Multi-drop

O sistema de controle de acesso ao meio de comunicação é do tipo mestre-escravo, sendo o cartão P5GF o mestre e as estações remotas as escravas. Neste sistema, as estações só irão transmitir as mensagens mediante a uma solicitação da placa P5GF, um mecanismo que evita a colisão dos pacotes devido ao fato de apenas um dispositivo acessar o meio de comunicação em um determinado instante de tempo. O modo de comunicação utilizado é o de varredura cíclica, ou seja, o mestre da rede comunica-

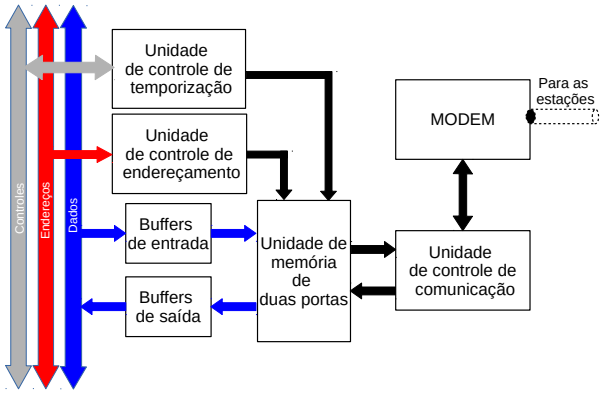

Figura 2. Diagrama de blocos do cartão P5GF.

se sequencialmente com todas as estações remotas, de maneira que todos os dados de interesse da CPU são coletados em um período de varredura, que neste caso é de no máximo 10 ms. Possíveis erros de transmissão podem ser identificados por meio de uma verificação CRC (*Cyclic Redundancy Check*) (Chen, 2004). Além disso, caso um erro seja detectado, a mensagem é retransmitida.

A Figura 2 mostra o diagrama de blocos do cartão P5GF. A placa possui uma unidade de memória de duas portas que armazena os dados provenientes das estações remotas. Os ciclos de leitura e escrita na memória são controlados por uma unidade de controle de temporização, que gerencia os sinais de controle do barramento, permitindo assim que a CPU do MELPLAC realize as operações de gravação e leitura na memória de duas portas. Vale ressaltar que a unidade de controle de endereçamento é responsável por definir quais serão as posições de memória que deverão ser lidas ou escritas pela CPU com base nos endereços disponíveis no barramento. Os dados gravados na unidade de memória são serializados pela unidade de controle de comunicação, que também realiza o empacotamento das mensagens de acordo com o protocolo da Mitsubishi, que é baseado no padrão ISO HDLC (*International Standard Organization High-Level Data Link Control*) (INCITS, 2002). O formato do quadro das mensagens transmitidas é mostrado na Figura 3.

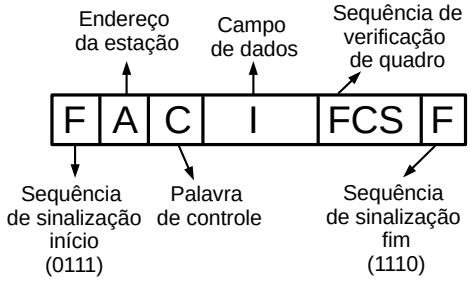

Figura 3. Formato dos quadros transmitidos.

O MODEM é o componente responsável pela codificação e decodificação das mensagens de acordo com a modulação F2F (*Frequency/Double Frequency*), que é derivada da codificação Manchester Diferencial (MD). Esta codificação permite unificar os dados e o *clock* em um único sinal, possibilitando a transmissão síncrona a dois fios. A Figura 4 ilustra a referida codificação, em que os bits '0' são

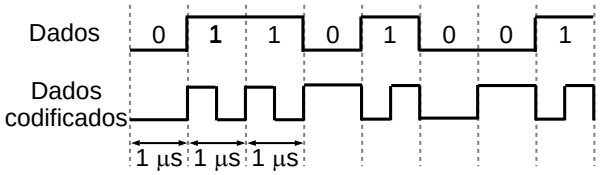

Figura 4. Formas de onda da codificação F2F.

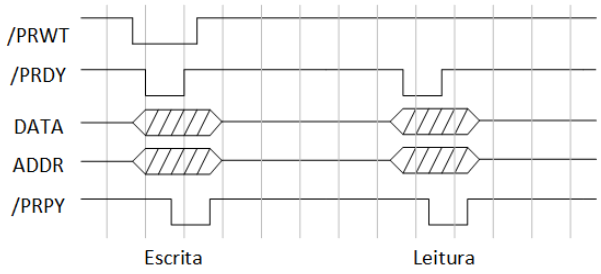

Figura 5. Diagrama de temporização dos sinais utilizados do barramento do MELPLAC

transmitidos com a metade da frequência dos bits '1'. A taxa de transmissão do cartão P5GF é de 1 Mbps.

Por fim, vale ressaltar que, por meio de um circuito analógico, o MODEM também desempenha a função de *transceiver*. Desta forma, ele converte os sinais digitais a serem transmitidos em sinais analógicos com os níveis de potência requeridos pela aplicação, bem como condiciona os sinais recebidos das estações, disponibilizando os sinais digitais para o decodificador F2F.

3. METODOLOGIA EMPREGADA

Para o desenvolvimento do NP5GF, foi necessário compreender totalmente o funcionamento do cartão P5GF original, sendo assim, realizou-se uma engenharia reversa no mesmo. Primeiramente, foi necessário entender como a CPU do MELPLAC se comunica com o cartão, e posteriormente como o cartão se comunica com as estações dos drivers controladores dos motores.

Na estrutura do MELPLAC, os cartões são mapeados em memória, ou seja, qualquer acesso ao cartão é realizado através de uma operação de leitura ou escrita na região de memória relativa ao mesmo. A Figura 5 apresenta um diagrama de temporização com os sinais do barramento do MELPLAC utilizados no projeto.

No diagrama apresentado na Figura 5 os sinais /PWRT, /PRDY e ADDR são gerados pela CPU, DATA é um barramento bidirecional cujo sentido depende da operação realizadas. O sinal /PRPY, é um sinal gerado pelo cartão para sinalizar que a operação requerida pela CPU foi realizada, portanto, é responsabilidade do cartão gerá-lo.

Através de pesquisas nos manuais e documentos do fabricante, e também do conhecimento da equipe de engenharia da empresa, constatou-se que a comunicação com as estações se dá de através de um sinal analógico utilizando a codificação F2F e o protocolo de comunicação HDLC.

De posse dessas informações, optou-se por realizar um monitoramento dos principais sinais digitais e analógicos envolvidos nessa comunicação. Para tal, utilizou-se um

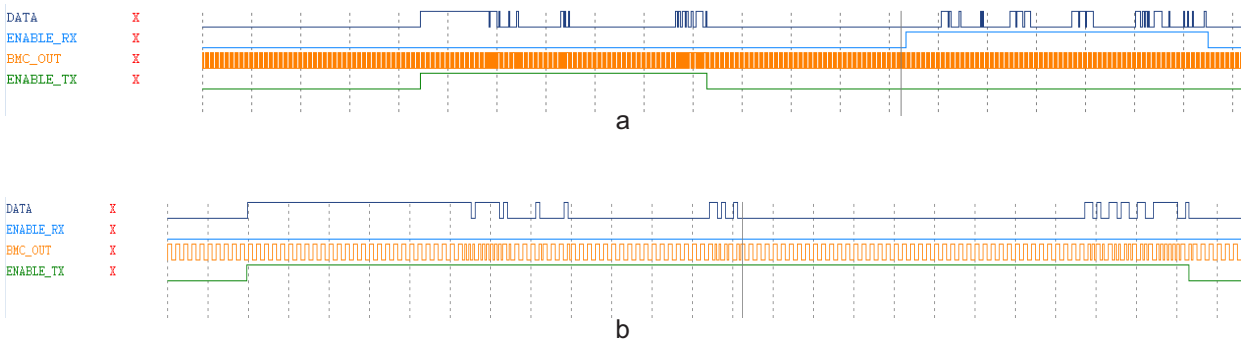

Figura 6. Algumas das formas de onda obtidas através do analisador lógico de sinais

osciloscópio e um analisador lógico de sinais, ambos com capacidade de gravação das formas de onda coletadas.

A Figura 6 apresenta algumas das formas de onda coletadas através do analisador lógico de sinais. A parte 'a' contém o sinal de dados no formato HDLC, os sinais de controle ENABLE_TX, que habilita a transmissão do pacote para a estação, e o ENABLE_RX, que habilita a recepção da resposta. A parte 'b', por sua vez, apresenta um *zoom* da etapa de transmissão, onde é possível observar o formato do sinal F2F com mais clareza.

Após o estudo dessas formas de onda, e de toda a documentação disponível, a equipe optou por realizar a implementação de toda a parte digital do projeto em FPGA (*Field Programmable Gate Array*), dada sua capacidade de sintetizar circuitos digitais de maneira programável. Quanto à parte analógica, optou-se por reproduzir o circuito contido na placa P5GF. Porém, dificuldades foram encontradas, pois alguns dos componentes do circuito estão obsoletos. Portanto, foi necessário um estudo aprofundado das características desses componentes para que fosse possível sua reposição.

4. DESCRIÇÃO DA PLACA NP5GF

Cada cartão NP5GF é responsável por realizar a comunicação da CPU com até 8 estações. O número de estações com as quais o cartão deve se comunicar é configurado através de um *DipSwitch* presente na placa. A região de memória do MELPLAC relativa ao cartão é configurada da mesma maneira.

De posse dessas informações, a comunicação entre o NP5GF e as estações segue o fluxograma mostrado na Figura 7.

Como dito na Seção 2, a comunicação entre o cartão e as estações é na forma de uma varredura cíclica. Ou seja, periodicamente o cartão transmite para cada uma das estações, começando pela estação de número 1 e indo até a estação de número N configurada na placa. Ao transmitir para uma estação específica, o cartão espera por uma resposta da mesma por um intervalo de 5 ms. Caso a estação não responda, o cartão realiza mais três tentativas de se comunicar com a mesma. Se após essas tentativas, não houver resposta, um erro é sinalizado. Caso a estação responda dentro do intervalo de tempo estipulado, o cartão passa para a próxima estação. Após realizar a comunicação com a estação N, transmite novamente para a estação 1.

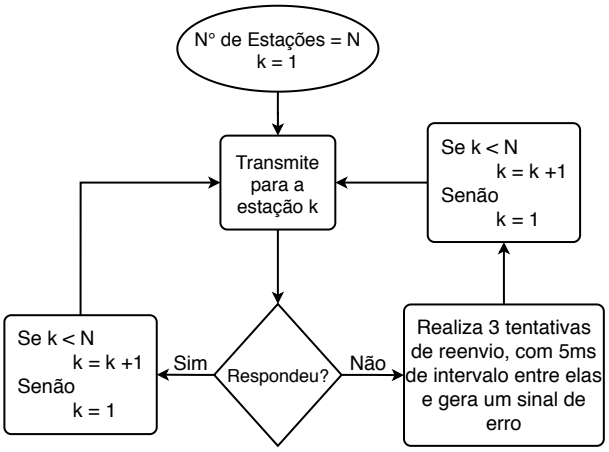

Figura 7. Fluxograma comunicação.

4.1 Circuito Digital

Como dito anteriormente, toda a lógica digital foi implementada em um FPGA Cyclone V (Altera Corporation, 2019). A Figura 8 apresenta os principais blocos que constituem essa implementação.

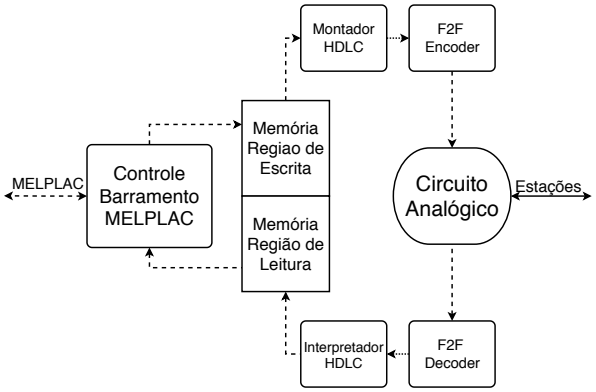

Figura 8. Diagrama dos principais blocos do NP5GF

Os principais blocos implementados com suas respectivas funções estão descritos abaixo:

Controle Barramento MELPLAC É responsável por decodificar as operações que a CPU do MELPLAC deseja realizar. O barramento do MELPLAC é monitorado continuamente, com o objetivo de detectar se o endereço presente no barramento é relativo ao cartão ou não. Caso

seja, a operação de leitura ou escrita é realizada na memória do cartão.

Memória A função dessa memória é exatamente a mesma que a da memória do cartão original, ou seja, desacoplar a comunicação entre o MELPLAC e as estações. Quando a CPU deseja enviar um comando para o *driver*, é realizada uma operação de escrita na memória e quando a CPU quer coletar alguma informação da estação é realizada uma operação de leitura nessa memória e os dados são disponibilizados no barramento. Como cada cartão NP5GF se comunica com várias estações cada uma delas possui uma região nessa memória. Ao todo, são 8 regiões de dados na memória de escrita e 8 na memória de leitura.

Essas memórias são do tipo *dual-port*, ou seja, podem ser escritas e lidas simultaneamente. Dessa forma, enquanto em uma porta a CPU acessa a memória dependendo do seu software de controle, na outra porta, é realizada uma varredura periódica da memória e os dados são enviados para os *drivers*.

Montador HDLC Esse bloco é responsável por montar os pacotes de dados de acordo com o formato HDLC, mostrado na Figura 3. Para isto, é necessário serializar os dados, armazenados de forma paralela na memória, além de realizar o cálculo do CRC, de acordo com o próprio protocolo.

Interpretador HDLC O interpretador por sua vez, ao receber o pacote de dados, calcula o CRC do pacote recebido, e caso o dado esteja correto, desmonta o pacote (retira os *flags* e campos de controle) e salva as informações daquela estação na memória. Caso o CRC indique erro na recepção, o pacote é ignorado.

F2F Enconder Aplica a codificação F2F, como mostrada na Figura 4, nos dados serializados entregues pelo montador HDLC. Os dados codificados são então transmitidos pelo modem.

F2F Decoder Realiza a decodificação do sinal advindo do modem, de forma a gerar um sinal serial. Esse sinal será interpretado pelo interpretador HDLC.

4.2 Interface analógica

Para que os sinais sejam enviados e recebidos através de uma única linha de transmissão (cabo coaxial), é necessário que eles passem pela interface analógica do circuito. Essa interface possui um módulo de envio, que converte os dados digitais do FPGA em um sinal analógico enviado para a linha (uma onda quadrada limitada em aproximadamente ± 8 V), e um módulo de recepção, que converte o sinal analógico vindo da linha de transmissão para um sinal digital que será processado pelo FPGA.

Bobinas Para que a comunicação *half-duplex* ocorra, os sinais analógicos enviados e recebidos passam por um transformador toroidal com núcleo de ferrite composto por quatro bobinas, duas relacionadas ao módulo de envio (L1 e L2), uma relacionada ao módulo de recepção (L3) e outra ligada à linha de transmissão (L4). O esquema é ilustrado pelo diagrama da Figura 9.

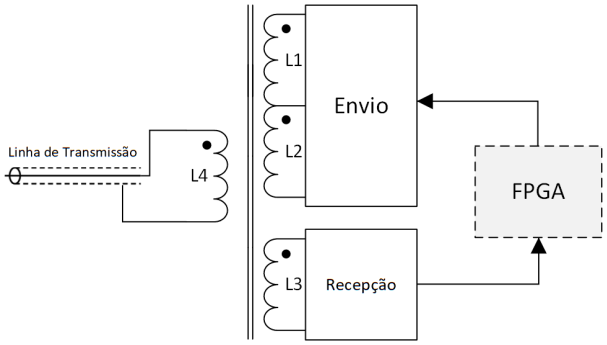

Figura 9. Interface analógica.

Devido ao acoplamento magnético, os sinais analógicos gerados pelo módulo de envio também serão induzidos nas bobinas da recepção. A lógica programada no FPGA não deve permitir que os sinais sejam lidos e processados enquanto um envio estiver ocorrendo.

Módulo de envio O módulo de envio é ilustrado na Figura 10. Os sinais digitais enviados pelo FPGA chegam ao módulo de envio através de duas portas AND. Ambas possuem um dos pinos conectado a um sinal de ENABLE_TX, que habilita o envio dos dados. Uma das portas receberá o sinal digital original, enquanto a outra receberá o sinal invertido. Dessa forma, ocorrerá um acionamento complementar dos MOSFETs M1 e M2 durante o envio, e o sinal analógico induzido na bobina L4 será simétrico. A função dos diodos zener DZ1 e DZ2 é limitar a tensão induzida nas bobinas L1 ou L2 quando M1 ou M2 forem desligados, respectivamente, evitando assim picos de tensão danosos ao circuito.

Módulo de recepção O módulo de recepção do sinal analógico é ilustrado na Figura 11. Ele é composto por um filtro de entrada, comparadores analógicos e um conversor de nível lógico. O sinal vindo da linha de transmissão é inicialmente aplicado a um filtro passa-faixa, que usa um amplificador operacional LT1468-2 (Linear Technology, 2008), com *Slew-Rate* típica de 30 V/μs, apropriada para operar com as frequências dos sinais envolvidos de modo a não comprometer a transmissão dos dados.

Na saída do filtro, é necessário também limitar simetricamente a tensão entre -5 V e +5 V, de modo que o sinal esteja adequado para ser aplicado no estágio seguinte. Foi adotada uma solução proposta em (ON Semiconductor, 2017), que utiliza diodos de sinal em série com cada diodo zener, e estas associações são colocadas em antiparalelo na realimentação do circuito. O objetivo é minimizar o efeito da capacitância dos diodos zener, que poderia comprometer a resposta do filtro para sinais na faixa de frequência envolvida.

5. RESULTADOS

Os sinais analógicos foram aquisitados com o auxílio de um osciloscópio digital, que também mostra a interação entre estes e os sinais digitais. O funcionamento do circuito de envio é ilustrado pela Figura 12. O sinal de saída do FPGA é representado pelo canal 1 (amarelo), enquanto o sinal analógico na bobina, transmitido para as estações, é representado pelo canal 2 (verde). Podem ser observa-

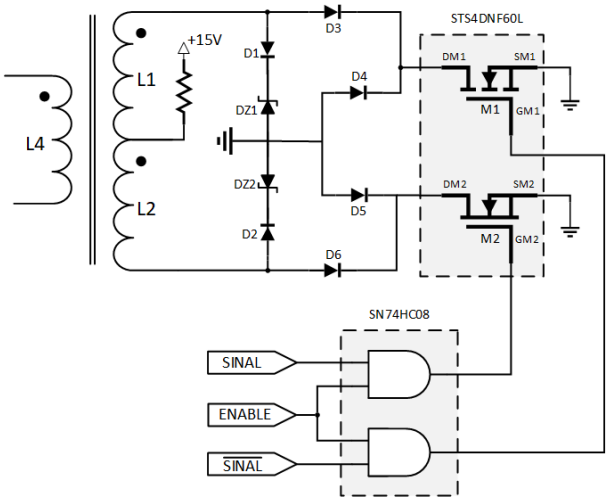

Figura 10. Módulo de envio.

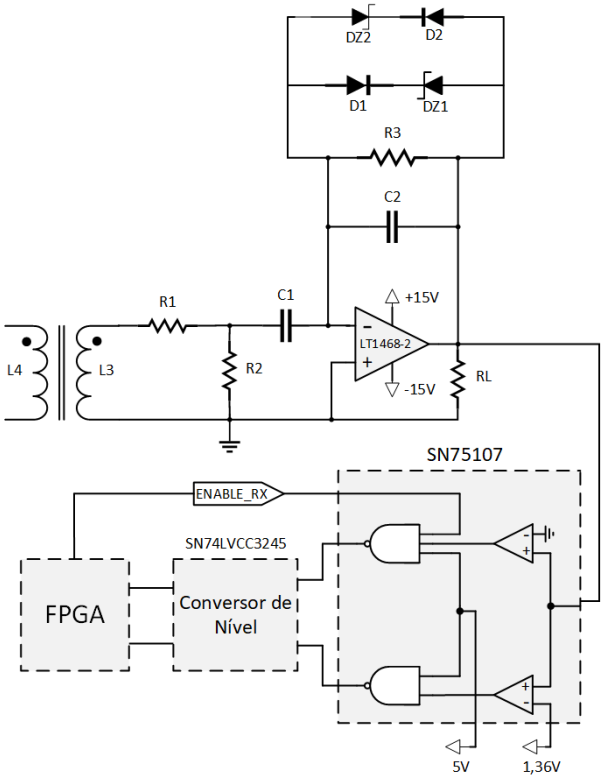

Figura 11. Módulo de recepção.

dos sinais de duas frequências distintas, representando os valores '0' e '1', conforme ilustrado na Figura 4 (Seção 2).

Já o funcionamento do filtro de entrada do circuito de recepção pode ser visto na Figura 13. O sinal analógico (canal 2, verde) chega através das bobinas e passa pelo filtro, que condiciona o sinal para que ele seja enviado aos comparadores. A saída do filtro é representada pela curva do canal 1 (amarela). Na saída do filtro, pode ser observado o efeito da *Slew-Rate* do amplificador operacional, que foi escolhido de modo a não apresentar perda na transmissão do dado ao comparador, como mencionado no Item 4.2.

A Figura 14 mostra os sinais digitais em uma comunicação entre duas placas. O canal 1 (amarelo) mostra o sinal digital enviado pela FPGA por uma das placas, enquanto o canal 2 (verde) mostra o sinal digital que é lido pela outra FPGA, após todo o percurso, a saber: FPGA 1 - Modulo de Envio 1 - Bobinas 1 - Linha de Transmissão - Bobinas 2 - Circuito de Recepção 2 - FPGA 2

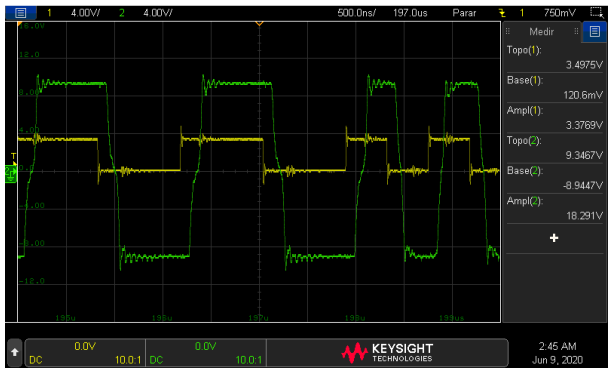

Figura 12. Funcionamento do Módulo de Envio. Canal 1: sinal digital (FPGA); Canal 2: sinal analógico

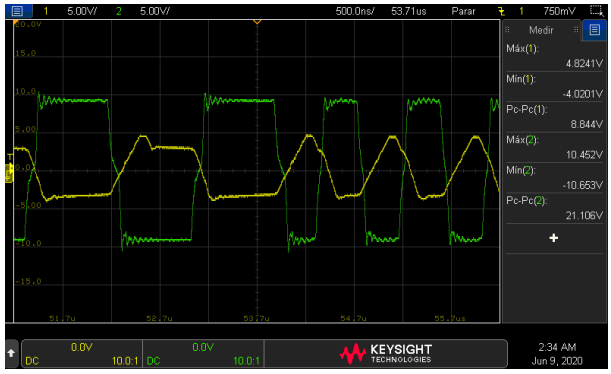

Figura 13. Funcionamento do Filtro de Entrada. Canal 1: saída do operacional; Canal 2: sinal analógico.

Figura 14. Comunicação entre 2 placas. Canal 1: sinal digital enviado por uma FPGA; Canal 2: sinal digital recebido pela outra FPGA.

A Figura 15 apresenta o comportamento dos sinais de controle, durante duas operações, escrita e leitura da

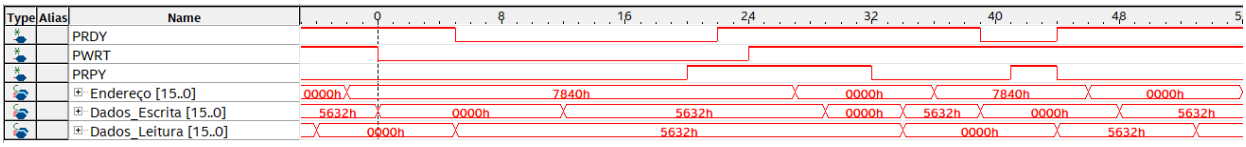

Figura 15. Operações de leitura e escrita executadas pela CPU.

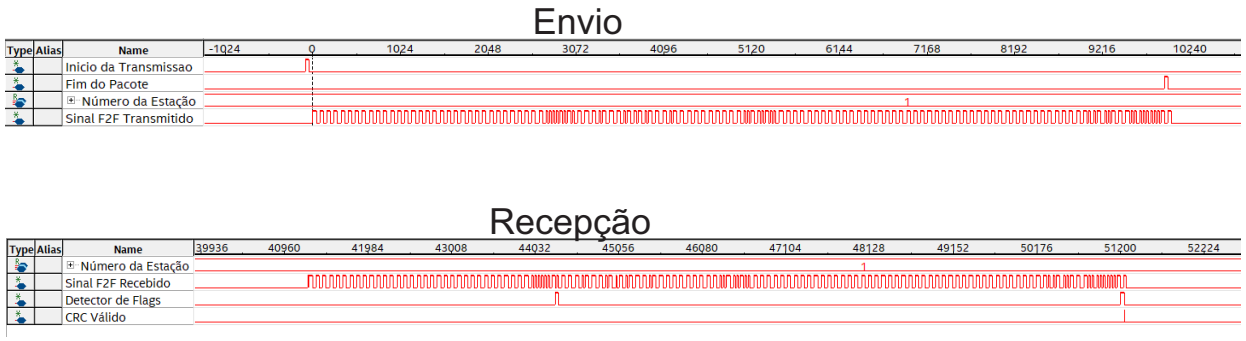

Figura 16. Comunicação entre o cartão e uma estação.

memória do cartão, executadas pela CPU. Primeiramente, a CPU altera o endereço de interesse, no caso 7840H (em hexadecimal). Em seguida, o sinal PWRT é ativado, o que indica uma operação de escrita. Feito isso, a CPU ativa o sinal PRDY e atualiza o valor do dado a ser escrito na memória, no caso 5632H. A partir deste momento, a CPU passa a esperar uma resposta que indique que a operação foi concluída com êxito, representada pelo sinal PRPY. Uma vez finalizada a operação, a CPU altera o valor do dado e do endereço, e desativa os sinais de controle.

A segunda operação realizada pela CPU é uma leitura na memória do cartão. Para tal, inicialmente é definido endereço de interesse, no caso 7840H. Em seguida, a CPU ativa o sinal PRDY, para dar início a operação, e passa a esperar pela confirmação de operação concluída, representada pelo sinal PRPY. Uma vez concluída, o valor do dado contido nessa posição fica disponível no barramento.

A Figura 16 por sua vez, apresenta alguns dos sinais obtidos durante a comunicação entre o cartão e uma das estações. Os sinais apresentados correspondem ao ponto de vista do cartão, isto é, a etapa de envio representa a transmissão de sinal do cartão para a estação e a etapa de recepção, consequentemente, corresponde a resposta que a estação enviou para o cartão. No que concerne a etapa de recepção, vale ressaltar a detecção das *flags*, no início e no fim do pacote, e o sinal de CRC válido, responsável por indicar que não houve corrompimento de nenhum bit do pacote.

6. CONCLUSÃO

A aplicação de técnicas de retrofit a controladores industriais de gerações anteriores pode ser atrativa nos casos em que tais equipamentos atendam à demanda de produção com confiabilidade, porém desprovidos de alguns recursos, como a comunicação com sistemas supervisórios. Para o caso de controladores siderúrgicos, deve-se levar em conta ainda que o tempo de parada para a substituição de um controlador por um mais moderno (com todos os seus periféricos, como drivers e sistemas de sensores) pode levar a grandes perdas no faturamento da empresa.

Este trabalho apresentou um projeto de retrofit de um cartão de comunicação do controlador de processos siderúrgicos MELPLAC-550. Baseada em informações sobre o cartão original, denominado P5GF, a equipe da Faculdade de Engenharia da UFJF fez um estudo para a confecção de um novo cartão, denominado NP5GF, que viesse a manter as características do cartão original, ao mesmo tempo que tornasse possível, no futuro, o interfaceamento deste cartão com outros controladores mais modernos.

O novo cartão é comandado por um circuito digital, cuja maior parte foi implementada em FPGA. Com isso, tem-se não apenas a redução na quantidade de componentes, mas também a flexibilidade em se reprogramar a FPGA conforme novas necessidades venham a surgir. A lógica implementada na FPGA faz a comunicação com a CPU do MELPLAC e, por outro lado, a comunicação com as estações remotas comandadas pelo cartão.

No caso da comunicação com as estações remotas, os sinais passam por uma interface analógica, que condiciona os sinais para serem transmitidos ou recebidos através de um cabo coaxial, com até oito estações. Para o circuito analógico, procurou-se preservar ao máximo as características originais, embora algumas modificações foram necessárias devido à obsolescência ou indisponibilidade de componentes.

Alguns resultados experimentais foram mostrados neste trabalho. Os testes realizados no cartão NP5GF em laboratório mostraram que a sua operação foi bem sucedida em relação ao projeto inicial. Testes in-loco, bem como o interfaceamento do cartão com outras CPUs, são considerados trabalhos futuros.

AGRADECIMENTOS

Os autores gostariam de agradecer à UFJF, CAPES e CNPq que viabilizaram em parte este projeto.

REFERÊNCIAS

Altera Corporation (2019). Cyclone v device datasheet.

Chen, W.K. (2004). *The electrical engineering handbook*. Elsevier.

Duque, C., Oliveira, A., Teixeira, E., Menezes, A., Junqueira, J., Ferreira, R., and Souza, J. (2006). Sistema de comunicação para controladores siderúrgicos. *XVI Congresso Brasileiro de Automática, 2006, Salvador*.

INCITS, A. (2002). Iso/iec 13239: 2002. *Information technology–Telecommunications and information exchange between systems–High-level Data Link Control (HDLC) procedures*.

Linear Technology (2008). *LT1468-2: 16-Bit Accurate Op Amp*.

Mitsubishi Electric Corp. (1982). *MELPLAC 550 Instruction Manual*. Mitsubishi Electric Corp.

ON Semiconductor (2017). *Zener Theory and Design Considerations - Handbook HBD854/D*.