

# Utilização de Processadores Paralelos Embarcados em FPGA para Cálculo de Parâmetros de Qualidade de Energia Segundo a Norma IEC 61000-4-30

Max Mateus Luiz\* Tales Faceroli Duque\*  
 Afonso Henrique Souza de Almeida\* Eder Barboza Kapisch\*  
 Leandro Rodrigues Manso Silva\*  
 Marcelo Antônio Alves Lima\*

\* *Departamento de Circuitos Elétricos, Faculdade de Engenharia,  
 Universidade Federal de Juiz de Fora, Juiz de Fora, MG, Brasil,  
 (e-mail: max.luiz@engenharia.ufjf.br)*

**Abstract:** This work presents the implementation of a system for calculating power quality parameters based on the use of parallel processors embedded in Field Programmable Gate Array (FPGA). The algorithms implemented in each processor follow the guidelines described by the IEC 61000-4-30 standard, for class A devices. The results were obtained through functional simulation, using software ModelSim<sup>®</sup>, from the manufacturer Intel<sup>®</sup>.

**Resumo:** O presente trabalho apresenta a implementação de um sistema de cálculo de parâmetros de Qualidade da Energia Elétrica (QEE), a partir da utilização de processadores paralelos embarcados em *Field Programmable Gate Array* (FPGA). Os algoritmos implementados em cada processador seguem as diretrizes descritas pela norma IEC 61000-4-30, para dispositivos classe A. Os resultados foram obtidos através de simulação funcional, a partir do *software* ModelSim<sup>®</sup>, da fabricante Intel<sup>®</sup>.

**Keywords:** Power Quality; Parameters; Parallel Processors; FPGA; IEC 61000-4-30.

**Palavras-chaves:** Qualidade da Energia Elétrica; Parâmetros; Processadores em Paralelo; FPGA; IEC 61000-4-30.

## 1. INTRODUÇÃO

A utilização cada vez maior de cargas não lineares conectadas às redes elétricas, além da crescente inserção de geração distribuída, principalmente solar e eólica, têm aumentado a necessidade de monitoramento de parâmetros indicadores da Qualidade da Energia Elétrica (QEE). Distúrbios provenientes da falta de controle sobre as cargas podem impactar a QEE, causando diversos danos a equipamentos elétricos industriais e residenciais (Bollen, 2000).

Tendo em vista consequências econômicas em geral, bem como uma exigência na melhoria da QEE, faz-se necessário o estudo e desenvolvimento de tecnologias para medição, visualização e armazenamento destes parâmetros, de forma constante e de acordo com as normativas nacionais e internacionais (de Distribuição, 2010; IEC, 2015). Ao monitorar todos estes parâmetros é possível categorizar os distúrbios e identificar possíveis fontes dos mesmos no sistema.

Baseando-se em conceitos de padrões internacionais para o desenvolvimento de diretivas aplicadas ao âmbito nacional, a Agência Nacional de Energia Elétrica (ANEEL), através do módulo 8 dos Procedimentos de Distribuição (PRODIST) se aprofunda em alguns parâmetros de monitoramento sobre a QEE. Essa regulamentação estabelece

uma caracterização e uma metodologia para apuração dos indicadores de continuidade e a duração da ocorrência dos distúrbios elétricos, a fim de ser assegurada uma boa QEE.

Muitos trabalhos sobre medidores de QEE baseiam-se na utilização de Microprocessadores ( $\mu$ P) ou de Processador Digital de Sinal (DSP) (Martens et al., 2007; Salem et al., 2005; Shu et al., 2010). No presente trabalho, optou-se pelo uso de *Field Programmable Gate Array* (FPGA), circuito integrado que vem sendo cada vez mais utilizado em implementações de circuitos digitais devido à sua grande flexibilidade, paralelismo e capacidade de integração (Ferrigno et al., 2008; Yildirim et al., 2018).

O FPGA possibilita a sintetização de *hardware* digital de maneira flexível, portanto é muito versátil na implementação de estruturas de processamento de sinais. Neste trabalho, optou-se pela implementação de um sistema que embarca cinco processadores, todos executando suas instruções de forma paralela. Assim, o sistema é capaz de realizar tarefas que demandam grande esforço computacional em tempo reduzido. Nesse contexto, cada processador funciona de maneira independente o que, junto com a flexibilidade do FPGA, torna fácil a implementação de novas funcionalidades e possíveis atualizações (Kapisch et al., 2016).

Utilizando a filosofia de projeto mencionada acima, o presente trabalho propõe a implementação de um coprocessador capaz de calcular os parâmetros de QEE seguindo o padrão classe A, especificado na norma IEC 61000-4-30 (IEC, 2015). Portanto, o foco do trabalho está no cálculo dos parâmetros e não no sistema de aquisição e comunicação/armazenamento dos mesmos.

O presente trabalho está dividido como se segue. A Seção 2 mostra uma revisão dos principais pontos da norma IEC 61000-4-30. A Seção 3 descreve a implementação dos algoritmos nos processadores embarcados em FPGA. A Seção 4 apresenta os resultados de simulação obtidos. Por fim, as conclusões do trabalho estão na Seção 5.

## 2. REVISÃO NORMA IEC 61000-4-30

Todos os parâmetros e metodologias de medição utilizados neste trabalho estão especificados na norma internacional IEC61000-4-30 (IEC, 2015). Esta norma define três classes para equipamentos de medição, a saber A, S e B. A classe A é utilizada quando há necessidade de elevado grau de precisão. A classe S é utilizada para aplicações estatísticas, com exigências de processamento menores que as presentes na classe A. Por fim, a classe B é definida apenas para evitar que muitos dispositivos existentes se tornem obsoletos. Não deve ser adotada como padrão para novas implementações.

Desta forma, o coprocessador de QEE descrito neste trabalho visa atingir os requisitos necessários para enquadrar-se na classe A, quanto ao resultado dos algoritmos de medição. Por esta razão, é dada a devida ênfase às exigências de cada um dos parâmetros avaliados, apenas para a classe em questão.

Primeiramente, a norma define intervalos de agregação para as medições. Para sistemas de 60 Hz, o intervalo básico para o cálculo da magnitude dos parâmetros (tensão, harmônicos, inter-harmônicos e desbalanceamento) é de 12 ciclos (200 ms). As agregações devem ser realizadas utilizando a raiz quadrada da média aritmética dos valores ao quadrado. Para temporização, a norma sugere a utilização de um *Real Time Clock* (RTC), com incerteza máxima de  $\pm 16,7$  ms em sistemas de 60 Hz.

Cada intervalo de 12 ciclos deve ser ressinchronizado a cada *tick* de 10 minutos do RTC. Além disso, estes valores devem ser agregados em mais 3 intervalos diferentes. São eles : 180 ciclos, 10 minutos e 2 horas. Quando ocorre o pulso de ressinchronização, é iniciada uma nova janela de 12 ciclos, bem como de 180 ciclos. Porém, os intervalos pendentes continuam até que sejam concluídos. Isso faz com que seja criada uma sobreposição entre os intervalos. O mesmo ocorre para os intervalos de 10 minutos. Os intervalos de 2 horas, por sua vez, são agregados a partir de 12 intervalos de 10 minutos, sem sobreposição. Este comportamento pode ser visto na Figura 1.

Em seguida, a norma estabelece o conceito de marcação dos pacotes de informação, ou *flagging*, o qual diz que: Um evento de afundamento, elevação ou interrupção pode afetar o funcionamento dos algoritmos utilizados na obtenção de outros parâmetros, o que implica em medições não confiáveis, ou ainda, na contagem múltipla de um único evento. Por exemplo, uma elevação de tensão ser

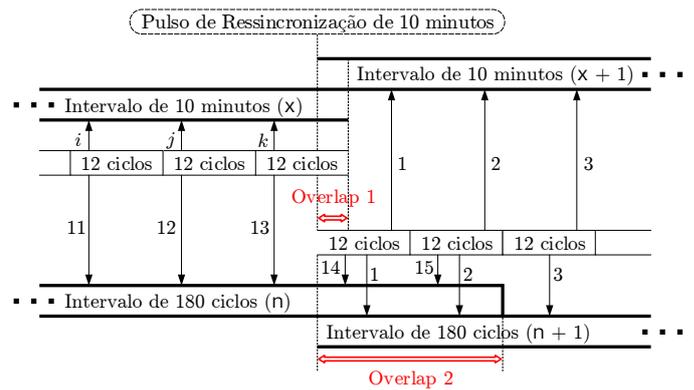


Figura 1. Agregação dos parâmetros - IEC 61000-4-30.

considerada como elevação mais variação de frequência. Desta forma, estas medições devem ser marcadas, além de todos os intervalos de agregação que as contém.

### 2.1 Parâmetros de Qualidade de Energia

Nesta subseção, são apresentadas as características relevantes, relativas à medição de cada um dos parâmetros considerados no desenvolvimento deste trabalho, para sistemas de 60 Hz e medidor padrão classe A.

#### 2.1.1. Frequência

- A frequência fundamental deve ser obtida a cada 10 s, a partir da divisão entre o número de ciclos inteiros contados durante estes 10 s e a duração cumulativa dos mesmos. Para isso, computa-se o número de cruzamentos por zero durante esse intervalo. Deve-se empregar filtros para atenuar harmônicos e inter-harmônicos, a fim de minimizar os efeitos de múltiplos cruzamentos por zero.
- O intervalo de incerteza da medição não deve ultrapassar  $\pm 10$  mHz, no intervalo entre 51 Hz e 69 Hz.
- A medição de frequência deve ser feita no canal de referência, e o desenvolvedor deve especificar o comportamento do sistema caso a referência perca tensão. Para este parâmetro, não é necessária agregação.

#### 2.1.2. Magnitude da Tensão

- Deve ser obtida através do cálculo do valor da raiz quadrada média, ou RMS, a cada 12 ciclos do sinal. Este valor é calculado sem nenhum tipo de filtragem (*true RMS*), e por isso inclui harmônicos, inter-harmônicos, entre outros.
- A incerteza de medição não deve ultrapassar  $\pm 0,1\%$  do valor de tensão de entrada obtido através de um transdutor, também chamado de  $U_{din}$ .
- A magnitude da tensão deve ser agregada de acordo com a Figura 1.

#### 2.1.3. Afundamento, Elevação e Interrupção da Tensão de Alimentação

A medição básica para avaliação destes três fenômenos deve ser o chamado  $RMS_{(1/2)}$ , isto é, o RMS calculado a partir de intervalos de 1 ciclo, porém atualizado a cada 1/2 ciclo, para cada um dos canais de entrada. A duração de cada  $RMS_{(1/2)}$  depende da frequência do sinal, e para

tal, deve-se utilizar o último valor de frequência de 10 s obtido, que não tenha sido *flaggado*. A lógica do  $RMS_{(1/2)}$  pode ser vista na Figura 2.

- **Afundamento** : Em sistemas monofásicos, é caracterizado afundamento quando a tensão RMS cai para um valor abaixo do limiar de afundamento, e termina quando a tensão é maior que o limiar de afundamento mais a tensão de histerese. Em sistemas polifásicos, por sua vez, um afundamento começa quando a tensão em um ou mais canais cai para um valor abaixo do limiar de afundamento, e termina quando a tensão em todos os canais medidos é maior que o limiar de afundamento mais a tensão de histerese. Normalmente, a tensão de limiar para afundamento é definida no intervalo entre 85% e 90% de  $U_{din}$ .
- **Elevação** : A caracterização das elevações é semelhante à dos afundamentos. Porém, são detectadas quando a tensão RMS supera um valor limiar. Normalmente, a tensão de limiar para elevação é maior ou igual a 110% de  $U_{din}$ .
- **Interrupção** : Em sistemas monofásicos a caracterização da interrupção é semelhante à do afundamento. Já em sistemas polifásicos, por sua vez, uma interrupção começa quando a tensão em todos os canais cai abaixo do limiar de interrupção, e termina quando a tensão de pelo menos um dos canais medidos é maior que o limiar de interrupção mais uma tensão de histerese. Normalmente, a tensão de limiar para interrupção é definida no intervalo entre 5% e 10% de  $U_{din}$ .
- Para a detecção de cada um dos distúrbios em questão são definidas, em termos da tensão de referência  $U_{din}$ , uma tensão de histerese, tipicamente definida como 2% de  $U_{din}$  para todos os casos, e uma tensão de limiar, diferente para cada um dos cenários.
- Cada distúrbio é caracterizado por dois parâmetros: Duração e tensão residual. A duração é dada pela diferença entre o tempo inicial e o final do evento. A tensão residual, por sua vez, é definida como o menor valor RMS, no caso de afundamento e interrupção, e o maior valor RMS, no caso de elevação, medido em qualquer um dos canais observados.
- A incerteza total na duração, de qualquer um dos três eventos em questão, é de 1/2 ciclo no início mais 1/2 ciclo no final do distúrbio. A incerteza da tensão residual não deve exceder  $\pm 0.2\%$  de  $U_{din}$ .
- O conceito de agregação não se aplica a eventos que são acionados através do cruzamento de algum limiar específico.

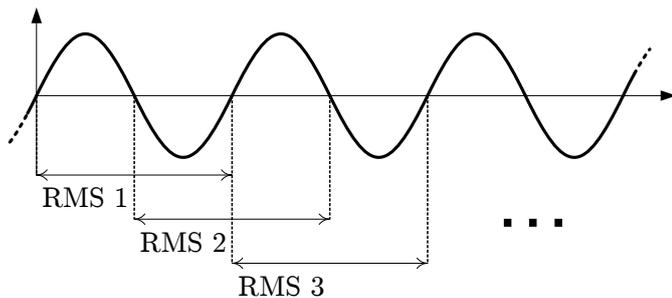


Figura 2. RMS de 1 ciclo atualizado a cada meio ciclo.

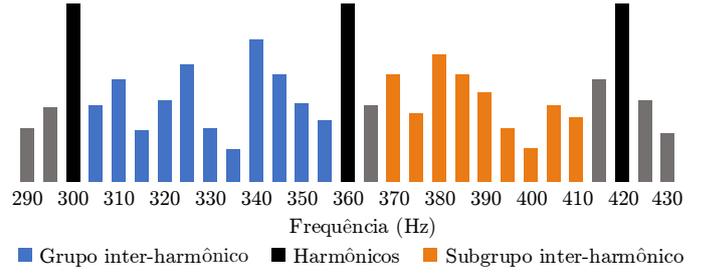


Figura 3. Grupo e subgrupo inter-harmônico.

#### 2.1.4. Desequilíbrio da Tensão de Alimentação

- Aplicado somente em sistemas trifásicos, o cálculo do desequilíbrio de tensão é feito a partir do método de componentes simétricas, obtidas através da equação (1).

$$\begin{bmatrix} U_0 \\ U_1 \\ U_2 \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & \alpha & \alpha^2 \\ 1 & \alpha^2 & \alpha \end{bmatrix} \begin{bmatrix} V_A \\ V_B \\ V_C \end{bmatrix} \quad (1)$$

em que,  $\alpha = 1/120^\circ$ ,  $V_A$ ,  $V_B$  e  $V_C$  são os fasores relativos ao componente fundamental das fases A, B e C respectivamente, obtidos através da aplicação da Transformada Rápida de Fourier (FFT) e  $U_0$ ,  $U_1$  e  $U_2$  são as componentes de sequência zero, positiva e negativa, respectivamente.

- Para a análise do desequilíbrio de tensão, são definidos dois novos parâmetros, denominados taxa de sequência zero  $u_0$ , e taxa de sequência negativa  $u_2$ , obtidos através de:

$$u_0 = \frac{U_0}{U_1} \times 100; \quad u_2 = \frac{U_2}{U_1} \times 100. \quad (2)$$

- A incerteza deve ser menor que  $\pm 0,15\%$ , para ambos  $u_2$  e  $u_0$ .
- A agregação dos parâmetros deve ser realizada da mesma forma descrita anteriormente.

#### 2.1.5. Harmônicos e Inter-harmônicos

A caracterização destes dois fenômenos, bem como formas de avaliação, estão presentes na norma IEC 61000-4-7 (IEC, 2002).

- Uma componente presente no sinal é dita harmônica se sua frequência é um múltiplo inteiro da frequência fundamental do sistema em questão. Um inter-harmônico, por sua vez, é o nome dado à componente cujo valor de frequência está situado entre dois componentes harmônicos.
- A avaliação de harmônicos e inter-harmônicos é feita através da análise dos componentes (bins) resultantes do cálculo da FFT. Estes bins, por sua vez, são combinados em diferentes agrupamentos, para posterior avaliação. São eles: grupo harmônico, grupo inter-harmônico, subgrupo harmônico e subgrupo inter-harmônico, apresentados nas Figuras 3 e 4.

#### 2.1.6. Medição de Parâmetros de Sub desvio e Sobre Desvio

- Avaliados a partir do RMS de 12 ciclos em sistemas de 60 Hz, os parâmetros de sub desvio e sobre desvio,

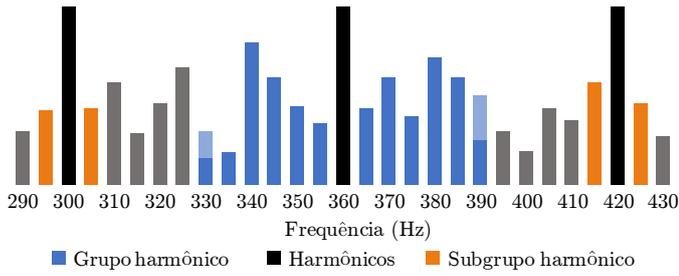


Figura 4. Grupo e subgrupo harmônico.

$U_{under}$  e  $U_{over}$  respectivamente, são caracterizados através das condições a seguir:

- Se  $U_{rms} > U_{din}$ , então  $U_{under} = U_{din}$
- Se  $U_{rms} \leq U_{din}$ , então  $U_{under} = U_{rms}$
- Se  $U_{rms} < U_{din}$ , então  $U_{over} = U_{din}$
- Se  $U_{rms} \geq U_{din}$ , então  $U_{over} = U_{rms}$

### 2.1.7. Flicker

- Pode ser definido como efeito de cintilação luminosa causada pela flutuação da tensão de alimentação. A metodologia de medição do *flicker* é definida pela norma IEC 64000-4-15 (IEC, 2010).
- O *Flickerímetro* definido na norma é composto por uma sequência de filtros que traduzem as modulações de baixa frequência do sinal como um efeito de sensibilidade, seguidos por um tratamento estatístico da mesma.
- Caracterizado por três parâmetros principais. São eles:
  - $P_{st}$  : Severidade de curta duração, normalmente calculada durante 10 minutos
  - $P_{lt}$  : Severidade de longa duração, normalmente calculada durante 2 horas, através da equação (3)

$$P_{lt} = \sqrt[3]{\frac{\sum_{i=1}^N P_{sti}^3}{N}} \quad (3)$$

onde  $i = 1, 2, \dots$  são medições consecutivas de  $P_{st}$  durante as duas horas em questão.

- $P_{inst}$ : Sensação de cintilação instantânea. Normalmente avalia-se seu valor máximo durante 10 minutos, paralelamente às outras medições descritas acima.
- Para ser considerado em concordância com a norma em questão, o medidor de *flicker* deve ser submetido a uma série de testes, com sinais de características variadas, como por exemplo modulações senoidais e retangulares na tensão de entrada, avanços de fase, entre outros.

## 3. IMPLEMENTAÇÃO

A utilização de processadores embarcados em FPGA não é algo tão incomum na literatura (Lozano and Ito, 2014; Schoeberl, 2011), e representa uma estratégia interessante para economia de recursos de *hardware*. Além disso, esta abordagem proporciona uma maior flexibilidade de integração e rapidez de implementação de algoritmos, visto que os mesmos podem ser implementados em linguagem C, por exemplo.

O processador embarcado presente neste trabalho foi desenvolvido pelo grupo PSCOPE, da Universidade Federal de Juiz de Fora. Possui um conjunto reduzido de instruções (RISC), com arquitetura do tipo Harvard, onde tem-se as memórias de dados e de programas separadas. É capaz de executar as operações em aritmética de ponto flutuante em apenas um ciclo de *clock*, através de um formato de ponto flutuante simplificado também desenvolvido pelo grupo (SANTOS et al., 2018). Mais detalhes sobre a topologia do processador podem ser obtidas em (Kapisch et al., 2016). Suas principais vantagens são:

- Pode ser utilizado para implementar qualquer algoritmo aplicável em DSP, sendo possível também a execução de mais de um algoritmo em um mesmo processador.
- É possível acoplar quantos processadores em paralelo forem necessários, de acordo com os recursos disponíveis no FPGA utilizado.
- Utiliza uma quantidade baixa de recursos, quando comparado a outros processadores embarcados já existentes (Nios, 2014)
- As instruções sintetizadas pela Unidade Lógica e Aritmética (ULA) são apenas as necessárias para a implementação do requerido algoritmo, economizando assim recursos de *hardware* do FPGA.
- Pode ser programado em uma linguagem cuja sintaxe deriva da linguagem C.

Sendo assim, para a implementação dos algoritmos de QEE, foram utilizados cinco processadores embarcados no FPGA. A Figura 5 apresenta a conexão e o fluxo de sinais entre os processadores. Todos os processadores operam de forma paralela, isto é, simultânea, e as funções desempenhadas por cada um deles é descrita nas subseções a seguir.

### 3.1 Processador P1

O processador P1 é responsável pela estimação de frequência do sinal de entrada, e também pelos cálculos relativos à magnitude do sinal e dos parâmetros de sob e sobre desvio.

Para a estimação da frequência, utiliza-se uma técnica chamada *zero crossing* (Ribeiro et al., 2013). Primeiramente o sinal é filtrado, de forma que reste apenas a componente fundamental. Em seguida, compara-se a polaridade da amostra atual com a polaridade da amostra anterior, com o

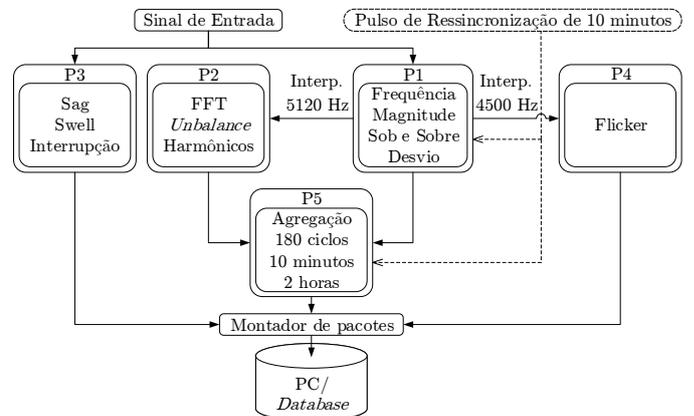


Figura 5. Conexão entre os processadores.

intuito de determinar uma mudança de polaridade, ou seja, um cruzamento por zero. Quando dois cruzamentos por zero em uma mesma direção são detectados, isto é, duas mudanças de polaridade do tipo positivo para negativo, por exemplo, isso indica que completou-se um ciclo do sinal. Este comportamento é apresentado na Figura 6.

Nesses instantes de cruzamentos na mesma direção, um contador de ciclos inteiros é incrementado, e a duração de cada ciclo é acumulada. Como discutido na seção anterior, a frequência estimada deve ser fornecida a cada 10 segundos. Desta forma, um contador auxiliar gera um pulso a cada 10 segundos, e quando esse pulso ocorre, o valor da frequência é dado pela razão entre o número de ciclos inteiros contados durante estes 10 segundos, e a duração acumulada dos mesmos.

O valor da magnitude da tensão de alimentação é obtido a partir do valor RMS calculado sobre 12 ciclos do sinal de entrada. Este valor é também utilizado na obtenção dos parâmetros de sobre desvio (*overdeviation*) e sub desvio (*underdeviation*), de acordo com o explicado na Seção 2.1.6.

Como visto na seção anterior, os parâmetros devem ser ressincronizados a cada 10 minutos. Ao avaliar a Figura 1, pode-se perceber que as agregações de 180 ciclos e 10 minutos são formadas pela mesma base de 12 ciclos. Desta forma, optou-se por realizar as agregações de 12 ciclos no processador P1, em regime de funcionamento normal e em ressincronização, e fornecer estes parâmetros para o processador P5.

A estrutura de controle segue a seguinte lógica de funcionamento: Ambos os processadores P1 e P5 recebem como uma de suas entradas o sinal de ressincronização, para que possam determinar o momento exato de iniciar uma nova agregação. Quando o pulso de ressincronização ocorre, o processador P1 inicia uma nova agregação de 12 ciclos, que ocorre de forma simultânea à agregação de 12 ciclos que já estava sendo preenchida, até que esta se encerre. O processador P5, por sua vez, faz algo similar para as agregações de 180 ciclos e 10 minutos. Quando uma nova amostra fornecida pelo processador P1 chegar, ela será combinada às novas agregações, e às que estão em aberto simultaneamente. Este processo é repetido até que as agregações que estavam em aberto se encerrem, o que sinaliza o fim da ressincronização.

O processador P1 é ainda responsável por reamostrar o sinal de entrada, de forma a adequá-lo às frequências de amostragem requeridas pelo algoritmo da FFT, executada no processador P2 e pelo *Flickerímetro* executado pelo processador P4. Com base na frequência estimada, são utilizados dois interpoladores de Lagrange (Ribeiro et al., 2013) para reamostrar o sinal de entrada (amostrado

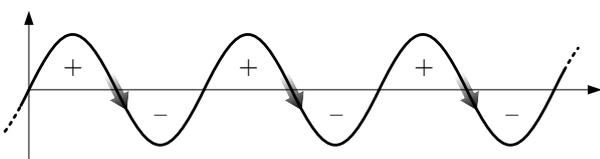


Figura 6. Mudança de polaridade da técnica *Zero Crossing*.

a 7680 Hz) em 5120 Hz para a FFT e 4500 Hz para o *Flickerímetro*.

Os resultados da FFT, calculada a cada 12 ciclos do sinal de entrada por P2, também obedecem a regra de ressincronização descrita anteriormente. Porém, devido à sua natureza de construção, este processo não é tão direto quanto nos outros casos, pois dessa vez, o sinal de entrada da FFT precisa ser armazenado de forma a proporcionar essa ressincronização.

Para realizar esse armazenamento, faz-se o uso de 6 memórias do tipo *First In First Out* (FIFO) com 1024 posições cada, sendo um par de FIFOs para cada uma das fases de tensão de entrada. Denominando-se as 6 FIFOs como A0 - A5, o processo de armazenamento para uma fase, é dado por:

- Considere que a fase A é representada pelas FIFOs A0 e A1.
- Inicialmente, apenas a FIFO A0 é utilizada para armazenamento das amostras, sendo assim considerada FIFO principal. Assim, cada vez que uma amostra nova é fornecida pelo interpolador (5120 Hz), a mesma é armazenada na FIFO A0. Quando A0 é preenchida, um sinal de controle avisa o processador P2, para que ele possa realizar a leitura da mesma.
- Ao ocorrer um pulso de ressincronização, as amostras novas passam a ser escritas em ambas as FIFOs A0 e A1 de forma simultânea. Além disso, a FIFO A1 passa a ser considerada FIFO principal. Como nesse caso a FIFO A0 era a principal até então, é fácil perceber que ela é preenchida antes da FIFO A1.
- Sendo assim, uma vez cheia, a FIFO A0 é lida pelo processador P2.
- Quando a ressincronização terminar, a FIFO A0 é limpa e passa a aguardar o próximo pulso de ressincronização.
- A FIFO A1, agora principal, continua o processo de recebimento dos dados do interpolador, e entrega dos mesmos ao processador P2.

### 3.2 Processador P2

A princípio, o processador P2 aguarda o preenchimento das FIFOs principais, com os sinais já interpolados a 5120 Hz de cada uma das três fases. Uma vez preenchidas as FIFOs, o processador é então liberado para funcionar. Primeiramente, é feita a leitura das 1024 posições de cada uma das FIFOs, de forma simultânea. Isto é, realiza-se uma operação de leitura nas três FIFOs principais, incrementa-se o contador de leituras, faz-se uma nova leitura, até que tenham sido feitas 1024 leituras em cada uma das FIFOs. Esta abordagem se mostra interessante, pois a partir do momento em que é feita a primeira leitura, um espaço é logo liberado nas três FIFOs, e caso chegue uma amostra nova, haverá espaço para seu armazenamento. Caso a leitura das FIFOs fosse executada de forma sequencial, isto é, faz-se a leitura das 1024 posições da FIFO referente à fase A, depois faz-se a leitura das 1024 posições da FIFO referente à fase B, e por último a leitura das 1024 posições da FIFO referente à fase C, poderia ocorrer perda de amostras.

Uma vez lidas as amostras das FIFOs, o processador executa então a FFT das três fases. A partir do resultado dos bins da FFT pode-se então realizar o cálculo dos grupos e do subgrupos de harmônicos e inter-harmônicos, conforme as Figuras 3 e 4. Estes parâmetros são então enviados ao processador P5 para realização das outras agregações. Em situação de resincronização, as saídas deste processador já estarão de acordo, uma vez que sua entrada já está sincronizada, seguindo a lógica das FIFOs descrita anteriormente.

De posse dos valores de saída da FFT relativos à frequência de 60 Hz para as três fases, realiza-se o cálculo de componentes simétricas segundo (1), e de posse dos valores de sequência positiva, negativa e zero, calcula-se os fatores de desequilíbrio segundo (2).

### 3.3 Processador P3

Este processador é responsável por detectar e categorizar os eventos de afundamento (*Sag*), elevação (*Swell*) e interrupção. Para isso, a partir do sinal de entrada recebido, calcula-se o RMS atualizado a cada meio ciclo. Esses valores de  $RMS_{(1/2)}$  são então comparados com os limiares mostrados anteriormente e caso ultrapasse algum deles, um evento é detectado.

Quando o valor  $RMS_{(1/2)}$  retorna para dentro dos limites, detecta-se o fim do distúrbio e o mesmo é caracterizado por sua duração, obtida através da contagem do número de meio ciclos entre o início e o fim do distúrbio, e o resíduo, definido como o menor valor RMS atingido pelo sinal, no caso de afundamento e interrupção, e maior valor RMS, no caso de elevação. Como visto na seção anterior, a norma não exige nenhuma forma de agregação para eventos.

Como visto anteriormente, a obtenção dos demais parâmetros pode sofrer interferência por distúrbios, e por isso devem ser sinalizados através de uma *flag*. O processador P3 é responsável por informar ao bloco que controla a geração de *flags* sobre a ocorrência de tais distúrbios.

### 3.4 Processador P4

O processador P4 destina-se à obtenção dos parâmetros que caracterizam os fenômenos de cintilação luminosa, ou *flicker*. Como visto anteriormente, o *flicker* é caracterizado pelo valor de sensação instantânea de *flicker* ( $P_{inst}$ ), severidade de curta duração ( $P_{st}$ ), e severidade de longa duração ( $P_{lt}$ ). O algoritmo para obtenção dos parâmetros foi projetado para funcionar em sinais com taxa de amostragem de 4500 Hz devido ao projeto dos filtros que constituem este algoritmo.

No que concerne à agregação, a norma IEC 61000-4-15 não especifica nenhum requisito. Sendo assim, os parâmetros descritos acima são disponibilizados na saída do processador para avaliação.

### 3.5 Processador P5

O processador P5 é responsável por realizar as agregações de 180 ciclos, 10 minutos e 2 horas, dos parâmetros de 12 ciclos fornecidos pelos processadores P1 e P2. O processador P5 também recebe em sua entrada o sinal de

ressincronização, para que possa determinar o momento exato de iniciar uma nova agregação, quando este pulso ocorrer.

### 3.6 Blocos : Montador de Pacotes e PC/DATABASE

O bloco montador de pacotes, presente na Figura 5, tem como objetivo empacotar os sinais dos processadores, para que os mesmos possam ser processados por uma aplicação externa, representada pelo bloco PC/DATABASE. Vale ressaltar que estes blocos estão ainda em implementação, e sua presença na Figura 5 serve apenas para ilustrar o processo como um todo.

## 4. RESULTADOS

Como mencionado anteriormente, este trabalho trata da implementação de um coprocessador de QEE. Sendo assim, assume-se que o sinal elétrico analisado (tensão ou corrente) tenha sido condicionado e discretizado por um circuito à parte e então entregue ao coprocessador para processamento. Desta forma, os resultados apresentados nesta seção são em nível de simulação funcional, obtidos através do *software* ModelSim®. Para obtê-los, o programa realiza a leitura, amostra a amostra, de um arquivo de texto contendo as amostras de um sinal gerado através do *software* MATLAB®.

A Figura 7 mostra o primeiro resultado de simulação, visando elucidar o funcionamento em paralelo dos processadores. Neste primeiro teste, para efeitos de visualização considerou-se a exibição dos sinais referentes apenas à fase A. Sendo assim, um sinal com frequência fundamental de 60 Hz, que contém um afundamento em um certo instante, é aplicado ao sistema. A partir dele são obtidas as saídas interpoladas em 5120 Hz e 4500 Hz pelo processador P1, para a FFT e o cálculo do *flicker*, respectivamente. Além disso, paralelamente, o processador P3 executa seus cálculos, e detecta um afundamento no sinal de entrada, sendo esta detecção representada pela mudança no valor da *flag* de distúrbio, de 0 para 3. Este processador retorna ainda os valores de resíduo e duração do afundamento, quando o mesmo termina.

A Figura 8 mostra um segundo teste com o objetivo de exibir o comportamento do sistema no momento de ocorrência de um pulso de resincronização. Pode-se ver nesta figura o momento exato da ocorrência do pulso de resincronização, indicado pela linha vertical tracejada, e o funcionamento do sistema de controle das FIFOs para a fase A. A princípio, a FIFO A0 estava sendo utilizada como padrão. Uma vez que o pulso ocorre, há um período de escrita simultânea em ambas as FIFOs, A0 e A1, e então a FIFO A1 torna-se a principal.

As tabelas a seguir apresentam alguns dos resultados obtidos ao submeter o sistema a uma série de sinais com diferentes eventos.

A Tabela 1 contém os resultados referentes a sinais com afundamentos, elevações e interrupções. Para estes sinais, a norma define que, para sistemas classe A, o erro máximo na duração seja de 1 ciclo, ou seja 0,0167 s, e o erro máximo no resíduo seja de 0,2% do valor nominal de entrada, no caso 0,7071 V (RMS), ou seja, 0,0014142 V. Pode-se ver

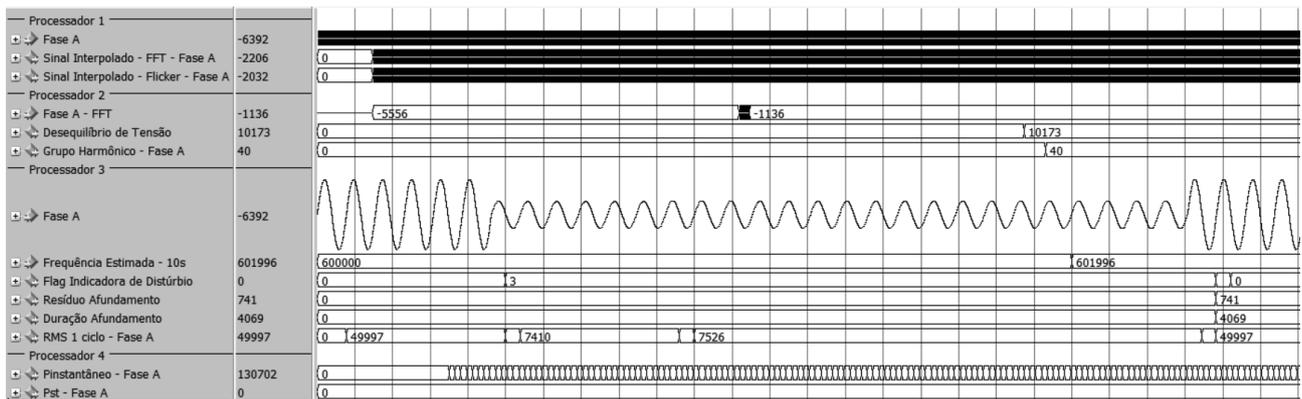


Figura 7. Funcionamento dos processadores em paralelo.

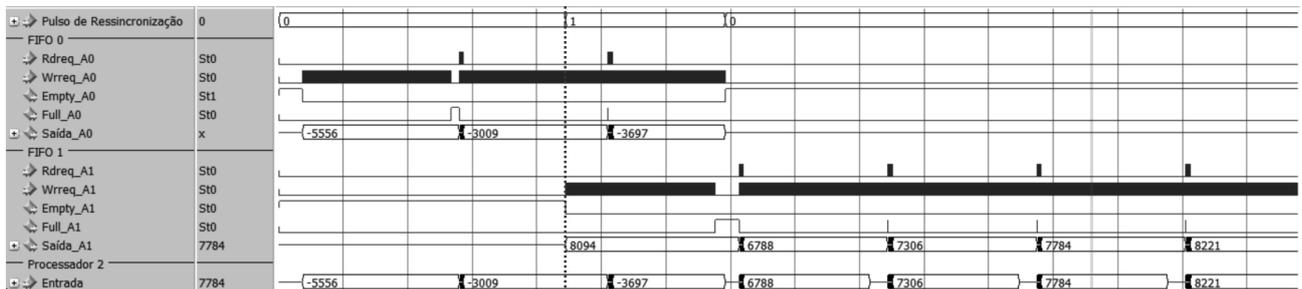


Figura 8. Funcionamento das FIFOs em ressincronização.

que os resultados mostrados nesta tabela possuem erros dentro dos limites estabelecidos.

Para a estimação de frequência, a norma exige que para dispositivos classe A, o erro máximo seja de  $\pm 10$  mHz, em um intervalo de 51 Hz a 69 Hz. O coprocessador foi testado para diversos valores dentro desta faixa, e para todos a precisão necessária foi atingida. Alguns dos resultados obtidos nestes testes são apresentados na Tabela 2.

Tabela 1. Testes com variação de tensão

Afundamento 1			
	Entrada	Resultado	Erro
Resíduo (RMS)	0,6140 V	0,6145 V	0,0005
Duração (s)	2,0	2,0085	0,0085
Afundamento 2			
	Entrada	Resultado	Erro
Resíduo (RMS)	0,3890 V	0,3888 V	0,0002
Duração (s)	0,7	0,6999	0,0001
Elevação			
	Entrada	Resultado	Erro
Resíduo (RMS)	0,9550 V	0,9546 V	0,0004
Duração (s)	0,5	0,5083	0,0083
Interrupção			
	Entrada	Resultado	Erro
Resíduo (RMS)	0,0260 V	0,0258 V	0,0002
Duração (s)	0,1	0,0920	0,0080

Tabela 2. Estimação de frequência

Sinal de Entrada	Resultado Obtido	Erro (mHz)
51 Hz	50,9996	0,4
55 Hz	54,9987	1,3
60 Hz	60,0007	0,7
65 Hz	65,0067	6,7
69 Hz	69,0034	3,4

Tabela 3. Resultados de flicker

Flutuação Senoidal de Tensão	
Valor Esperado : $P_{inst,max} = 1,00 \pm 0,05$	
Frequência Flicker (Hz)	$P_{inst,max}$
8,8	1,00
33 1/3	0,97
40	0,99
Variação de Tensão Retangular	
Valor Esperado : $P_{st} = 1,00 \pm 0,05$	
Mudanças por Minuto	$P_{st}$
2	0,99
1620	1,00
Flutuação Quadrada de Tensão	
Valor Esperado : $P_{inst,max} = 1,00 \pm 0,05$	
Frequência Flicker (Hz)	$P_{inst,max}$
22	0,98
40	1,01

A norma 61000-4-15 descreve em detalhes diversos testes necessários para validação de medidores de flicker. O flickerímetro embarcado no coprocessador proposto foi testado para todos estes sinais, e cumpriu com os requisitos exigidos para cada um deles. A Tabela 3 apresenta alguns dos resultados obtidos, para alguns dos sinais testados.

A Tabela 4 contém os resultados de grupo e subgrupo, harmônico e inter-harmônico, para dois sinais distintos. O primeiro sinal é composto pelo componente fundamental com amplitude normalizada igual a 1 (100%) e por dois harmônicos ímpares, de terceira ordem com amplitude igual a 0,2 (20%) e quinta ordem com amplitude igual a 0,1 (10%). O segundo sinal, por sua vez, é composto por uma componente em 78 Hz, com amplitude de 0,15 (15%), harmônico de segunda ordem com amplitude de 0,08 (8%) e a componente fundamental, com amplitude unitária (100%).

Tabela 4. Resultados de Harmônicos

Sinal 1				
	Harmônico		Inter-harmônico	
	Grupo	Subgrupo	Grupo	Subgrupo
1	0,999909	0,999784	0,013379	0,012923
2	0,008718	0,002449	0,009219	0,008882
3	0,200062	0,199802	0,008367	0,008124
4	0,005744	0,001414	0,006928	0,006633
5	0,100045	0,099765	0,005916	0,005657
6	0,003162	0	0	0
Sinal 2				
	Harmônico		Inter-harmônico	
	Grupo	Subgrupo	Grupo	Subgrupo
1	1,018698	1,005205	0,166523	0,164402
2	0,080393	0,074135	0,012923	0,011874
3	0,009949	0,004583	0,006481	0,005803
4	0,005568	0,002646	0,004243	0,003873
5	0,003873	0,001732	0,003165	0,002829
6	0,003001	0,001412	0,002646	0,002236

Para o primeiro sinal de teste, pode-se observar que apenas os resultados referentes a harmônicos apresentam valores consideráveis, o que era esperado, uma vez que neste sinal não há a presença de componentes inter-harmônicas. Além disso, os valores dos grupos e subgrupos 1, 3 e 5 correspondem aos valores de amplitude dos harmônicos presentes no sinal.

O sinal de teste 2 por sua vez, por apresentar componente inter-harmônica entre 60 Hz e 120 Hz, faz com que surjam valores no primeiro grupo e subgrupo inter-harmônico.

Por fim, a Tabela 5 apresenta o consumo de recursos utilizados pelos processadores, juntamente com todas as outras estruturas de controle implementadas. O FPGA considerado pertence à família *Cyclone V*, da fabricante Intel®.

Tabela 5. Recursos utilizados da FPGA

Recurso	Total Utilizado	%
Lógica	8623	21
Pinos	73	23
Blocos de Memória	559293	10
Bloco DSP	5	4

## 5. CONCLUSÕES

Este trabalho apresentou a implementação de processadores paralelos embarcados em *Field Programmable Gate Array* (FPGA) para o cálculo de parâmetros de Qualidade da Energia Elétrica (QEE) em conformidade com as normas aplicáveis a um dispositivo classe A. De acordo com os resultados obtidos, esta abordagem mostrou-se capaz de realizar as operações necessárias, cumprindo com as incertezas exigidas pelas normas. Além disso, esta abordagem mostrou-se como uma alternativa interessante no tocante à otimização do consumo de recursos de *hardware*, fornecida pela utilização dos processadores customizáveis.

No que concerne aos trabalhos futuros, destacam-se: os testes em bancada; a inclusão de um módulo GPS, que será responsável por fornecer os pulsos de resincronização de 10 minutos e de 10 segundos para estimação de frequência, e; o desenvolvimento de uma plataforma em computador para recebimento e armazenamento dos dados agregados em banco de dados.

## AGRADECIMENTOS

Os autores agradecem ao CNPq, Fapemig, CAPES e INERGE que financiaram este trabalho.

## REFERÊNCIAS

- Bollen, M.H. (2000). Understanding power quality problems. In *Voltage sags and Interruptions*. IEEE press.
- de Distribuição, P. (2010). Módulo 8—qualidade da energia elétrica. *Agência Nacional de Energia Elétrica—ANEEL*.
- Ferrigno, L., Landi, C., and Laracca, M. (2008). FPGA-based measurement instrument for power quality monitoring according to iec standards. In *2008 IEEE Instrumentation and Measurement Technology Conference*, 906–911. IEEE.
- IEC (2002). IEC 61000-4-7. *General guide on harmonics and interharmonics measurements for power supply systems and equipment connected thereto*.
- IEC (2010). IEC 61000-4-15. *Flickermeter—functional and design specifications (IEC, Geneva, Switzerland, Edition 2.0, 2010-07)*.
- IEC (2015). IEC 61000-4-30. *Testing and Measurement Techniques—Power Quality Measurement Methods*.
- Kapisch, E., Silva, L., Martins, C., Barbosa, A., Duque, C., Tavi, A., de Souza, L., et al. (2016). An implementation of a power system smart waveform recorder using FPGA and ARM cores. *Measurement*, 90, 372–381.
- Lozano, H. and Ito, M. (2014). A deeply embedded processor for smart devices. In *2014 International Conference on Smart Computing Workshops*, 79–86. IEEE.
- Martens, O., Trampark, H., Liimets, A., Nobel, P., Veskimester, A., and Jarvalt, A. (2007). Dsp-based power-quality monitoring device. In *2007 IEEE International Symposium on Intelligent Signal Processing*, 1–5. IEEE.
- Nios, I. (2014). Processor reference handbook.
- Ribeiro, P.F., Duque, C.A., Ribeiro, P.M., and Cerqueira, A.S. (2013). *Power systems signal processing for smart grids*. John Wiley & Sons.
- Salem, M.E., Mohamed, A., Samad, S.A., and Mohamed, R. (2005). Development of a dsp-based power quality monitoring instrument for real-time detection of power disturbances. In *2005 International Conference on Power Electronics and Drives Systems*, volume 1, 304–307. IEEE.
- SANTOS, V.A.M., Kapisch, E.B., Silva, L.R.M., and Filho, L.M.A. (2018). Implementação de circuitos aritméticos em ponto flutuante, utilizando formato com número de bits configurável. In *Anais do XXII Congresso Brasileiro de Automática*.
- Schoeberl, M. (2011). Leros: A tiny microcontroller for FPGAs. In *2011 21st International Conference on Field Programmable Logic and Applications*, 10–14. IEEE.
- Shu, S.B., Luo, J.R., Wang, Q.Y., and Sun, B.X. (2010). Design and implementation of a portable power quality monitoring device based on dsp and arm. *Power System Protection and Control*, 38(24), 185–189.
- Yildirim, O., Eristi, B., Eristi, H., Unal, S., Erol, Y., and Demir, Y. (2018). FPGA-based online power quality monitoring system for electrical distribution network. *Measurement*, 121, 109–121.