DOI: 10.48011/asba.v2i1.1468

Projeto e Implementação de um Inversor de Frequência NPC Trifásico com Modulação SVPWM controlado por FPGA

Rodrigo L. Taschetto* Daniel F. Cortez Amauri A. Assef*****

**Universidade Tecnológica Federal do Paraná – UTFPR, PPGSE, Av. Sete de Setembro, 3165 – Rebouças, 80230-901, Curitiba, Paraná, Brasil (e-mail: rodrigo.lacerda.taschetto@gmail.com).*
***Universidade Tecnológica Federal do Paraná – UTFPR, PPGSE/DAELT, Av. Sete de Setembro, 3165 – Rebouças, 80230-901, Curitiba, Paraná, Brasil (e-mail: danielcortez@utfpr.edu.br).*
**** Universidade Tecnológica Federal do Paraná – UTFPR, PPGSE/CPGEI/DAELT, Av. Sete de Setembro, 3165 – Rebouças, 80230-901, Curitiba, Paraná, Brasil (e-mail: amauriassef@utfpr.edu.br).*

Abstract: Multilevel power inverters have been widely used in several applications that require high-power and high-voltage. Among the techniques applied to improve performance and reduce levels of harmonic distortion, the neutral-point clamped (NPC) three-level inverter is a promising multilevel topology in renewable energy systems. This article presents the design and implementation of a space vector pulse width modulation (SVPWM) strategy based on FPGA for three-level three-phase NPC inverter. The required steps are described and the performance of the proposed system is validated through simulations and experimentally on a developed prototype.

Resumo: Os inversores de potência multiníveis vêm sendo amplamente utilizados em diversas aplicações que requerem alta potência e alta tensão. Entre as técnicas aplicadas para melhoria de rendimento e redução dos níveis de distorção harmônica, o inversor de três níveis com ponto neutro grampeado (NPC) é uma topologia multinível promissora em sistemas de energia renovável. Este artigo apresenta o projeto e a implementação de uma estratégia de modulação vetorial espacial por largura de pulso (SVPWM) baseada em FPGA para inversor trifásico NPC de três níveis. As etapas necessárias são descritas e o desempenho do sistema proposto é validado através de simulações e experimentalmente em um protótipo construído.

Keywords: NPC; Multilevel power inverters; SVPWM; FPGA.

Palavras-chaves: NPC; Inversor de potência multinível; SVPWM; FPGA.

1. INTRODUÇÃO

Com o objetivo de entregar uma tensão específica a uma carga podem-se utilizar vários arranjos elétricos comandados eletronicamente e com técnicas de modulação diversas (Matsa et al., 2014). Dentre as técnicas mais estudas, pode-se destacar as modulações por largura de pulso (*Pulse Width Modulation* - PWM), Vetorial Espacial PWM (*Space Vector Modulation* – SVPWM) e suas variantes (Ahmed et al., 2016).

De acordo com Delai (2017), nota-se uma vantagem na distorção harmônica total (*Total Harmonic Distortion* - THD) de saída para modulações mais elevadas. Segundo Henn (2012), uma boa escolha é o inversor com ponto neutro grampeado (*Neutral Point Clamped* – NPC), devido ao fato de ser uma topologia multinível que exige uma menor tensão de bloqueio dos interruptores, menor quantidade de capacitores e utilização de tensão de barramento de corrente contínua (CC) único para todo o arranjo.

Neste trabalho, apresenta-se a implementação e avaliação por simulação e de forma experimental de um sistema inversor NPC trifásico de 3 níveis de tensão com modulação SVPWM controlado por dispositivo de lógica reconfigurável *Field Programmable Gate Array* (FPGA), através da placa de desenvolvimento Terasic DE10 Lite.

2. PRINCÍPIO DA MODUÇÃO DE 3 NÍVEIS SVPWM

Na Fig. 1 é apresentado o arranjo dos componentes que compõe o inversor NPC de 3 níveis. A topologia é composta de 12 interruptores que permitem o fluxo de corrente ordenado pelos sinais de controle, 6 diodos interligados em um ponto comum e 2 capacitores para divisão de tensão *Vdc*.

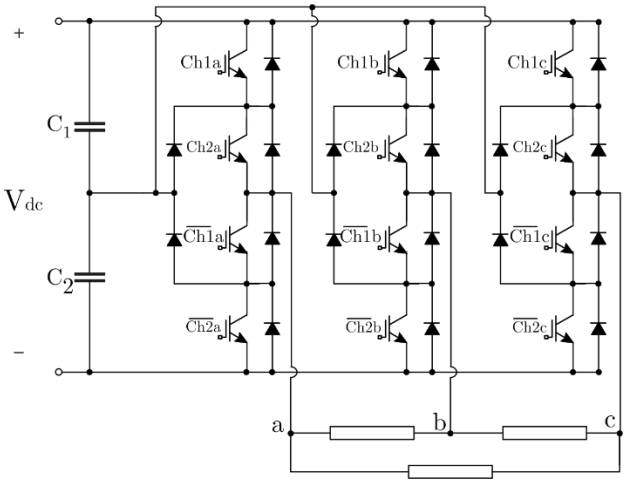

Fig. 1 Arranjo do inversor NPC trifásico de 3 níveis.

Para a composição da tensão na saída são necessários a condução e o bloqueio dos interruptores de forma ordenada a fim de fornecer à carga uma tensão média proporcional à tensão de referência. Neste artigo, propôs-se um sistema *off-grid* para fins didáticos, porém sua utilização pode ir além, utilizando o sistema em sincronia com a rede e também como um filtro ativo. Para simplificação da teoria, somente são referidos os interruptores superiores Ch1x e Ch2x (x = a,b,c), pois os interruptores inferiores são complementares a estes.

Para o sistema *off-grid*, utilizou-se como referência sinais senoidais trifásicos equilibrados ligados em triângulo, denominados de *Vab*, *Vbc* e *Vca*, defasados de 120°. Esse sistema apresenta alguns ângulos que marcam o cruzamento dos valores das tensões instantâneas das senoides de referência. Na Fig. 2, pode-se ver esses cruzamentos defasados de 60°, chamados de setores e representados por S1, S2, S3, S4, S5 e S6.

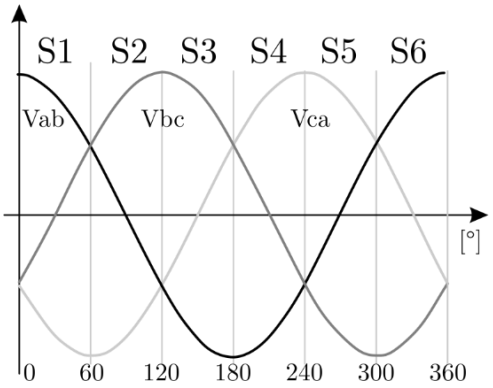

Fig. 2 Senoides *Vab*, *Vbc* e *Vca* de um sistema trifásico e separação dos setores S1 a S6 defasados em 60°.

Segundo Kashif (2020), os passos para a implementação da modulação SVPWM são três, descritos a seguir. Inicialmente, transforma-se o sistema trifásico senoidal de referência para o sistema de coordenadas *dq* através da transformada de Clarke, conforme a Fig. 3.

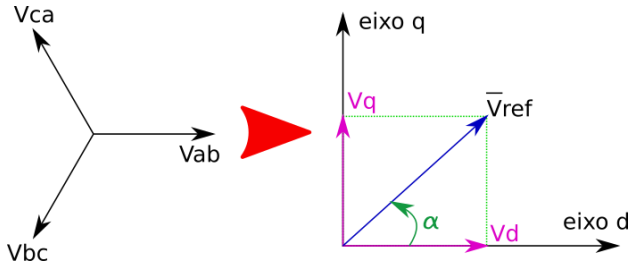

Fig. 3 Conversão do sistema trifásico em coordenadas *dq*.

O segundo passo é achar os tempos de comutação t_K, t_L e t_M através da localização de qual setor o vetor de referência (V_{ref}) se encontra e calcular o valor do ângulo α, referente ao setor. Em seguida, localizar em qual subsetor da Fig. 4 o vetor de referência se encontra.

O terceiro passo consiste em calcular os tempos de condução de cada interruptor do arranjo NPC, ilustrado na Fig. 1.

As fórmulas de conversão do sistema trifásico *abc* para o sistema de coordenadas *dq* são descritas de (1) a (4).

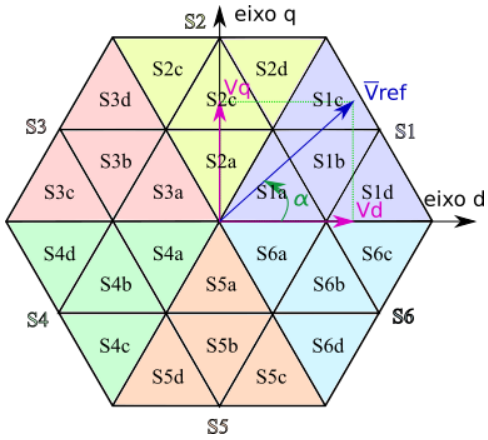

Fig. 4 Hexágono separado em setores e subsetores.

$$V_d = \frac{2}{3}.\left(V_{ab} - \frac{V_{bc}}{2} - \frac{V_{ca}}{2}\right) \quad (1)$$

$$V_q = \frac{2}{3}.\left(\frac{\sqrt{3}}{2}.V_{bc} - \frac{\sqrt{3}}{2}.\frac{V_{ca}}{2}\right) \quad (2)$$

$$\left(\overrightarrow{V_{ref}}\right) = \sqrt{V_d^2 + V_q^2} \quad (3)$$

$$\alpha = \tan^{-1}\left(\frac{V_q}{V_d}\right) \quad (4)$$

2.1 Sequência de comutação

Para a localização do vetor V_{ref} e o cálculo do ângulo φ (valor de 0° a 60°) de cada subsetor, a partir do ângulo α referente ao setor do hexágono, utiliza-se a Tabela 1.

Tabela 1. Localização do setor e ângulo.

Setor	S1	S2	S3	S4	S5	S6
α	$0 \geq \alpha > 60$	$60 \geq \alpha > 120$	$120 \geq \alpha > 180$	$180 \geq \alpha > 240$	$240 \geq \alpha > 300$	$300 \geq \alpha > 360$
φ	α	α-60	α-120	α-180	α-240	α-300

A localização do subsetor é realizada através da decomposição do vetor nos eixos não ortogonais dos limites dos setores, como exemplifica a Fig. 5 (Hu et al., 2007).

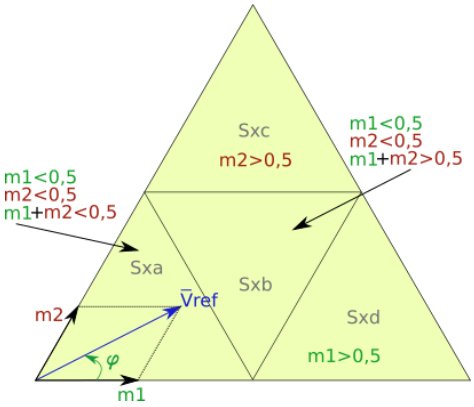

Fig. 5 Localização dos subsetores Sxa, Sxb, Sxc e Sxd dentro do setor.

No próximo passo para a localização do subsetor, os índices *m1* e *m2* são calculados através de (5) e (6), respectivamente, resultantes das decomposições vetoriais em eixos não ortogonais do vetor de referência V_{ref} (Rashidi et a., 2013).

$$m1 = \frac{\sqrt{3}.V_{ref}}{V_{dc}}.\text{sen}\left(\frac{\pi}{3} - \varphi\right) \quad (5)$$

$$m2 = \frac{\sqrt{3}.V_{ref}}{V_{dc}}.\text{sen}(\varphi) \quad (6)$$

Para a simplificação dos cálculos, separa-se os triângulos por similaridade (Jiao et al., 2014). Assim, a partir dos sinais *m1* e *m2* são formados 4 grandes grupos de triângulos, nos quais o cálculo é realizado de forma similar, sendo eles:

- Grupo A: S1a, S2a, S3a, S4a, S5a e S6a
- Grupo B: S1b, S2b, S3b, S4b, S5b e S6b
- Grupo C: S1c, S2c, S3c, S4c, S5c e S6c
- Grupo D: S1d, S2d, S3d, S4d, S5d e S6d

Tem-se as similaridades dos vetores desde que seja obedecida a ordem de vetores, demonstradas nas Figs. 6 a 9, respectivamente. A partir dessa disposição geométrica dos vetores, pode-se deduzir os valores dos vetores V_K, V_L e V_M de cada Grupo utilizando a variável S para representar o número do setor (S1 a S6). Para o cálculo da decomposição dos vetores de comutação do setor S do Grupo A, utiliza-se (7) a (11).

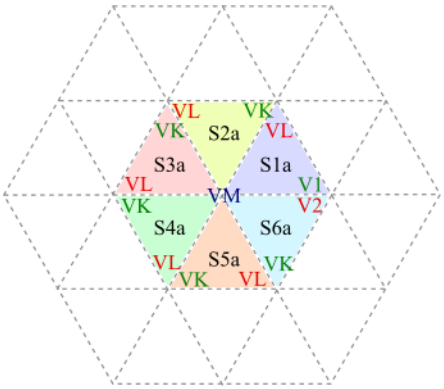

Fig. 6 Vetores similares Grupo A.

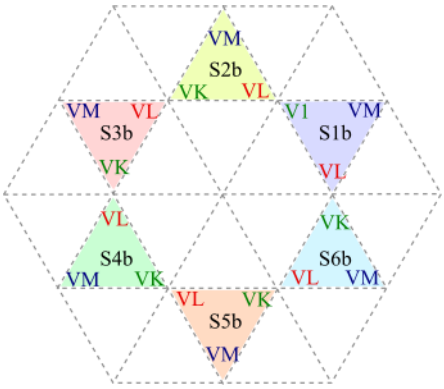

Fig. 7 Vetores similares Grupo B.

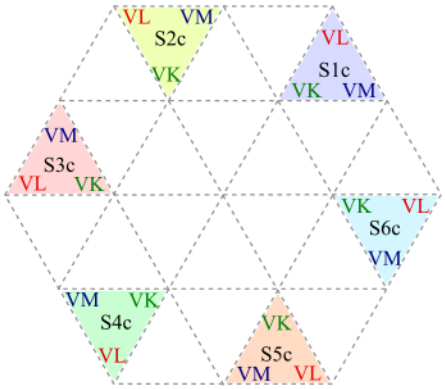

Fig. 8 Vetores similares Grupo C.

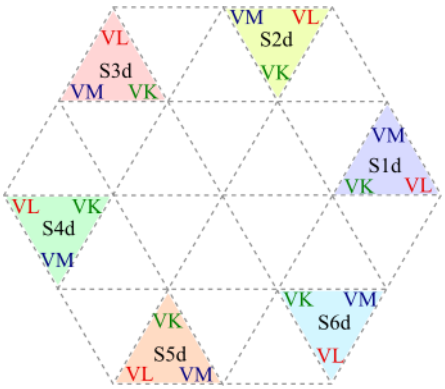

Fig. 9 Vetores similares Grupo D.

$$\left(\overrightarrow{V_K}\right)_d = \frac{V_{dc}}{3}.\cos\left([S-1].\frac{\pi}{3}\right) \quad (7)$$

$$\left(\overrightarrow{V_K}\right)_q = \frac{V_{dc}}{3}.\text{sen}\left([S-1].\frac{\pi}{3}\right) \quad (8)$$

$$\left(\overrightarrow{V_L}\right)_d = \frac{V_{dc}}{3}.\cos\left(S.\frac{\pi}{3}\right) \quad (9)$$

$$\left(\overrightarrow{V_L}\right)_q = \frac{V_{dc}}{3}.\text{sen}\left(S.\frac{\pi}{3}\right) \quad (10)$$

$$\left(\overrightarrow{V_M}\right) = 0 \quad (11)$$

Os valores dos vetores de comutação do Grupo B são calculados por (12) a (17).

$$\left(\overrightarrow{V_K}\right)_d = \frac{V_{dc}}{3}.\cos\left([S-1].\frac{\pi}{3}\right) \quad (12)$$

$$\left(\overrightarrow{V_K}\right)_d = \frac{2.V_{dc}}{3}.\cos\left([S-1].\frac{\pi}{3}\right) \quad (13)$$

$$\left(\overrightarrow{V_L}\right)_q = \frac{V_{dc}}{3}.\text{sen}\left([S-1].\frac{\pi}{3}\right) \quad (14)$$

$$\left(\overrightarrow{V_L}\right)_q = \frac{2.V_{dc}}{3}.\text{sen}\left([S-1].\frac{\pi}{3}\right) \quad (15)$$

$$\left(\overrightarrow{V_M}\right)_d = \frac{V_{dc}}{\sqrt{3}}.\cos\left([S-0{,}5].\frac{\pi}{3}\right) \quad (16)$$

$$\left(\overrightarrow{V_M}\right)_q = \frac{V_{dc}}{\sqrt{3}}.\operatorname{sen}\left([S-0{,}5].\frac{\pi}{3}\right) \tag{17}$$

No Grupo C, os valores são decompostos por (18) a (23).

$$\left(\overrightarrow{V_K}\right)_d = \frac{V_{dc}}{3}.\cos\left([S-1].\frac{\pi}{3}\right) \tag{18}$$

$$\left(\overrightarrow{V_K}\right)_q = \frac{V_{dc}}{3}.\operatorname{sen}\left([S-1].\frac{\pi}{3}\right) \tag{19}$$

$$\left(\overrightarrow{V_L}\right)_d = \frac{V_{dc}}{3}.\cos\left(S.\frac{\pi}{3}\right) \tag{20}$$

$$\left(\overrightarrow{V_L}\right)_q = \frac{V_{dc}}{3}.\operatorname{sen}\left(S.\frac{\pi}{3}\right) \tag{21}$$

$$\left(\overrightarrow{V_M}\right)_d = \frac{V_{dc}}{\sqrt{3}}.\cos\left([S-0{,}5].\frac{\pi}{3}\right) \tag{22}$$

$$\left(\overrightarrow{V_M}\right)_q = \frac{V_{dc}}{\sqrt{3}}.\operatorname{sen}\left([S-0{,}5].\frac{\pi}{3}\right) \tag{23}$$

Para os vetores do Grupo D, utiliza-se (24) a (29).

$$\left(\overrightarrow{V_K}\right)_d = \frac{V_{dc}}{3}.\cos\left(S.\frac{\pi}{3}\right) \tag{24}$$

$$\left(\overrightarrow{V_K}\right)_q = \frac{V_{dc}}{3}.\operatorname{sen}\left(S.\frac{\pi}{3}\right) \tag{25}$$

$$\left(\overrightarrow{V_L}\right)_d = \frac{2.V_{dc}}{3}.\cos\left(S.\frac{\pi}{3}\right) \tag{26}$$

$$\left(\overrightarrow{V_L}\right)_q = \frac{2.V_{dc}}{3}.\operatorname{sen}\left(S.\frac{\pi}{3}\right) \tag{27}$$

$$\left(\overrightarrow{V_M}\right)_d = \frac{V_{dc}}{\sqrt{3}}.\cos\left([S-0{,}5].\frac{\pi}{3}\right) \tag{28}$$

$$\left(\overrightarrow{V_M}\right)_q = \frac{V_{dc}}{\sqrt{3}}.\operatorname{sen}\left([S-0{,}5].\frac{\pi}{3}\right) \tag{29}$$

Com base no valor dos vetores, encontra-se o tempo que cada vetor deve ser acionado para compor o valor do vetor de referência, conforme (30), na qual t_s é período de comutação. Solucionando-se o sistema de equações, obtêm-se a Tabela 2.

$$\begin{Bmatrix} t_K.(V_K)_d + t_L.(V_L)_d + t_M.(V_M)_d = t_s.\left(V_{ref}\right)_d \\ t_K.(V_K)_q + t_L.(V_L)_q + t_M.(V_M)_q = t_s.\left(V_{ref}\right)_d \\ t_K + t_L + t_M = t_s \end{Bmatrix} \tag{30}$$

Tabela 2. Tempos de condução dos Grupos A-D.

Grupo	t_K	t_L	t_M
A	$2.k.\operatorname{sen}\left(\frac{\pi}{3}-\varphi\right)$	$ts-2.k.\operatorname{sen}\left(\frac{\pi}{3}+\varphi\right)$	$2.k.\operatorname{sen}(\varphi)$
B	$ts-2.k.\operatorname{sen}(\varphi)$	$2.k.\operatorname{sen}\left(\frac{\pi}{3}+\varphi\right)-ts$	$ts-2.k.\operatorname{sen}\left(\frac{\pi}{3}-\varphi\right)$
C	$2.k.\operatorname{sen}(\varphi)-ts$	$2.k.\operatorname{sen}\left(\frac{\pi}{3}-\varphi\right)$	$2.ts-2.k.\operatorname{sen}\left(\frac{\pi}{3}+\varphi\right)$
D	$2.ts-2.k.\operatorname{sen}\left(\frac{\pi}{3}+\varphi\right)$	$2.k.\operatorname{sen}(\varphi)$	$2.k.\operatorname{sen}\left(\frac{\pi}{3}-\varphi\right)-ts$

Como a relação entre módulo V_{ref}, $V_{dc}/2$ e ts é constante, substitui-se por k, conforme (31).

$$k = \frac{4.\sqrt{3}}{3}.\frac{V_{ref}}{\frac{V_{dc}}{2}}.ts \tag{31}$$

Para cada interruptor do arranjo apresentado na Fig. 1, existe uma sequência de aplicação dos tempos de comutação. Conforme proposto por Hu et al. (2007), para diminuir a THD utiliza-se a estratégia proposta nas Figs. 10 a 13, que é resumida na Tabela 3 para o setor S1, dividido pelo Grupo de subsetores.

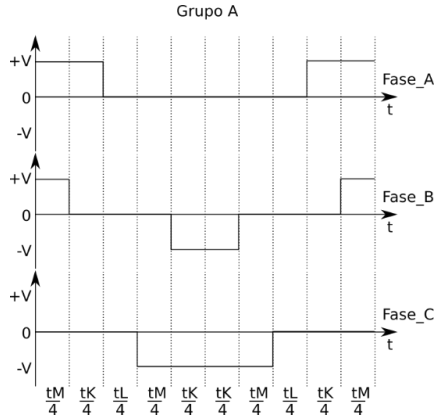

Fig. 10 Gráfico de tensão de saída para o Grupo A.

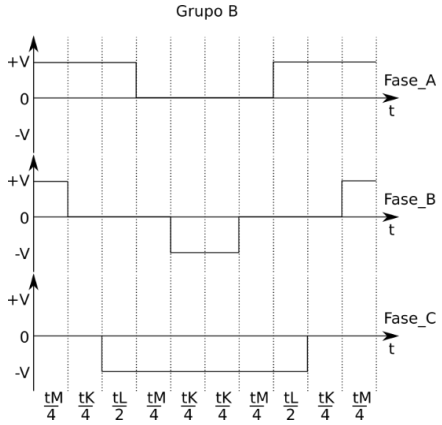

Fig. 11 Gráfico de tensão de saída para o Grupo B.

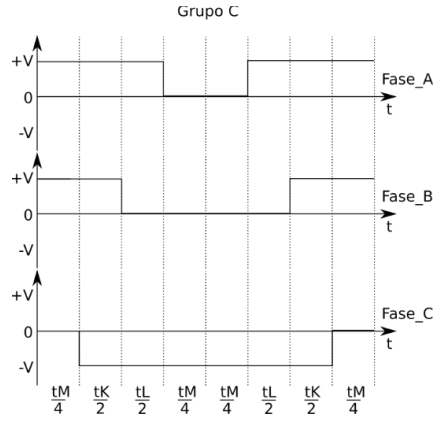

Fig. 12 Gráfico de tensão de saída para o Grupo C.

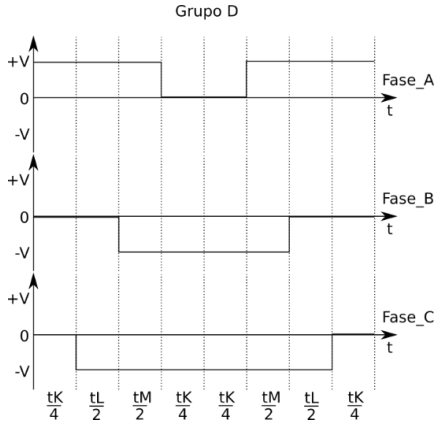

Fig. 13 Gráfico de tensão de saída para o Grupo D.

Tabela 3. Tempos de disparo do PWM referentes aos subsetores A-D do setor S1 (interruptores superiores).

Grupo	PWM Ch1a (S1A)	PWM Ch2a (S2A)	PWM Ch1b (S1B)	PWM Ch2b (S2B)	PWM Ch1c (S1C)	PWM Ch2c (S1C)
A	$\frac{t_M}{4}+\frac{t_K}{4}$	$\frac{t_s}{2}$	$\frac{t_M}{4}$	$\frac{t_s}{2}-\frac{t_K}{4}$	0	$\frac{t_s}{2}-\frac{t_K}{4}-\frac{t_M}{4}$
B	$\frac{t_M}{4}+\frac{t_K}{4}+\frac{t_L}{2}$	$\frac{t_s}{2}$	$\frac{t_M}{4}$	$\frac{t_s}{2}-\frac{t_K}{4}$	0	$\frac{t_M}{4}+\frac{t_K}{4}$
C	$\frac{t_s}{2}-\frac{t_M}{4}$	$\frac{t_s}{2}$	$\frac{t_M}{4}+\frac{t_K}{2}$	$\frac{t_s}{2}$	0	$\frac{t_M}{4}$
D	$\frac{t_s}{2}-\frac{t_K}{4}$	$\frac{t_s}{2}$	0	$\frac{t_k}{4}+\frac{t_L}{2}$	0	$\frac{t_K}{4}$

A única conversão não realizada foi a dos interruptores que após terem sido calculados os tempos para o setor devem ter os tempos refletidos para o setor correto, conforme a Fig. 14.

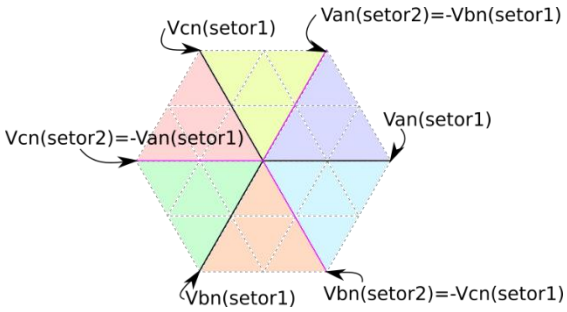

Fig. 14 Comparação dos tempos do setor S1 com os demais.

Analisando a Fig. 14, tem-se que os tempos de comutação para o setor S1 não precisam ser convertidos, pois todos são calculados para ele. Com esses tempos, pode-se ver que nos interruptores dos setores S3 e S5 são apenas trocadas as fases, sendo que para o setor S3 trocam-se os tempos dos interruptores Ch1a (PS1A) e Ch2a (PS2A) pelos tempos PS1C e PS2C, uma vez que nesse setor o tempo calculado para Ch1a e Ch2a (Van) seria o equivalente para o Ch1c e Ch2c (Vcn). Já para os setores S2, S4, e S6, os vetores têm o sinal trocado. Isso equivale a complementar o tempo em relação à t_s. Assim, tem-se que para o setor S2 os tempos para Ch1a (PS1A) e Ch2a (PS2A) devem ser t_s/2-PS2B e t_s/2-PS1B, respectivamente. A mesma metodologia é utilizada para todos os setores e é evidenciada na Tabela 4 (Hu et al., 2007).

Tabela 4. Tempos para comparação com a portadora triangular em todo os setores.

Setor	PWM Ch1a (PS1A)	PWM Ch2a (PS2A)	PWM Ch1b (PS1B)	PWM Ch2b (PS2B)	PWM Ch1c (PS1C)	PWM Ch2c (PS2C)
S1	S1A	S2A	S1B	S2B	S1C	S2C
S2	$\frac{t_s}{2}$−S2B	$\frac{t_s}{2}$−S1B	$\frac{t_s}{2}$−S2C	$\frac{t_s}{2}$−S1C	$\frac{t_s}{2}$−S2A	$\frac{t_s}{2}$−S1A
S3	S1C	S2C	S1A	S2A	S1B	S2B
S4	$\frac{t_s}{2}$−S2A	$\frac{t_s}{2}$−S1A	$\frac{t_s}{2}$−S2B	$\frac{t_s}{2}$−S1B	$\frac{t_s}{2}$−S2C	$\frac{t_s}{2}$−S1C
S5	S1B	S2B	S1C	S2C	S1A	S2A
S6	$\frac{t_s}{2}$−S2C	$\frac{t_s}{2}$−S1C	$\frac{t_s}{2}$−S2A	$\frac{t_s}{2}$−S1A	$\frac{t_s}{2}$−S2B	$\frac{t_s}{2}$−S1B

3. IMPLEMENTAÇÃO NO SOFTWARE PSIM

Para a comprovação da teoria, gerou-se a simulação do sistema SVPWM no *software* PSIM. Foram criados os blocos mostrados na Figs. 15 a 18. Na Fig. 15 são mostrados os blocos para geração das senoides de referência *Vab*, *Vbc* e *Vca* com ajuste de modulação em amplitude. Na Fig. 16 são apresentados os blocos para cálculo dos sinais V_{ref}, ângulos α e φ, índices *m1* e *m2*, setor e subsetor, sendo alguns escritos em linguagem de programação C.

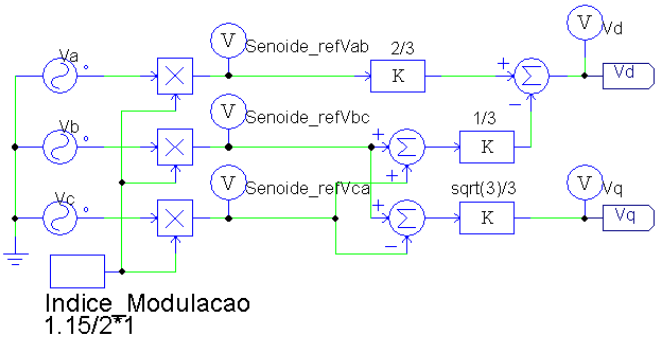

Fig. 15 Blocos da simulação no PSIM para geração das senoides de referência e sinais V_d e V_q.

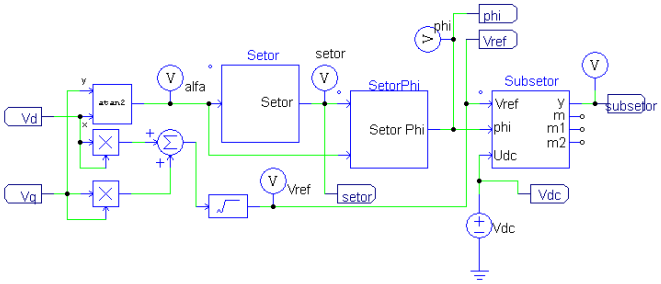

Fig. 16 Blocos para identificação dos sinais V_{ref}, ângulos α e φ, índices *m1* e *m2*, setor e subsetor do hexágono *dq*.

Na Fig. 17 são apresentados os blocos para o cálculo dos tempos t_K, t_L e t_M (ref. Tabela 2) para comparação com a portadora triangular, além dos sinais apresentados nas Tabelas 3 e 4. A topologia do inversor NPC com carga do tipo RL para simulação é apresentada na Fig. 18.

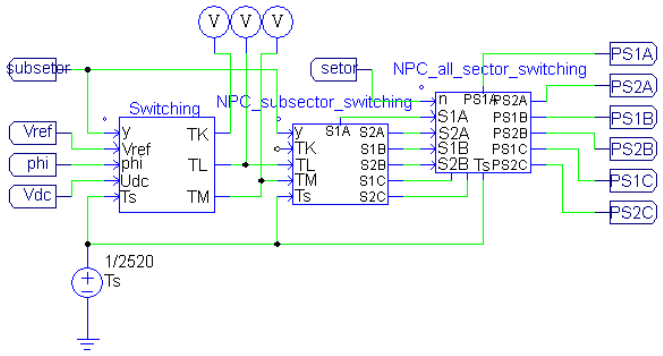

Fig. 17 Bloco de comparação dos sinais cálculos com a portadora triangular.

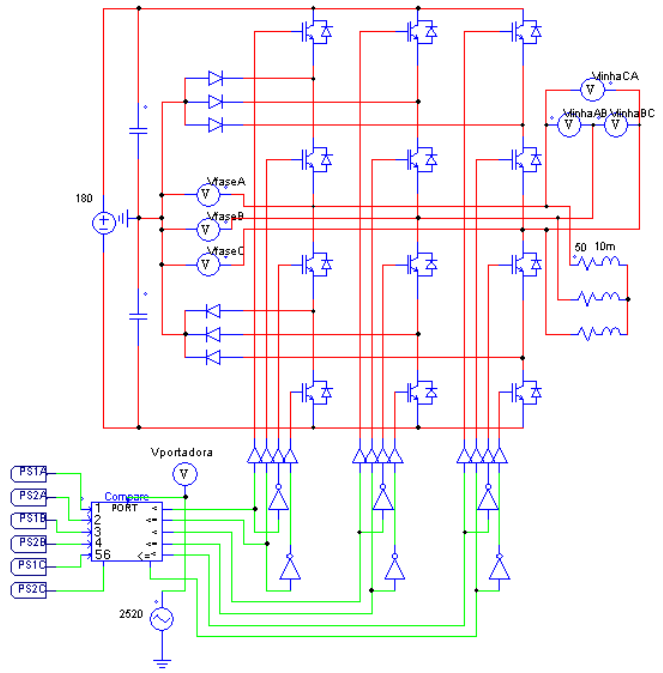

Fig. 18 Topologia do inversor NPC com carga de saída RL para simulação.

4. PROJETO EM FPGA

De acordo com o equacionamento de seção 2 e da estrutura da topologia para simulação apresentada na seção 3, o projeto do controlador digital do inversor NPC com modulação SVPWM foi realizado para uma FPGA da família MAX10, modelo 10M50DAF484C7G. O *software* Quartus versão 18 foi empregado para a implementação e avaliação do projeto na placa Terasic DE10-Lite.

Como na simulação, adotou-se a frequência da portadora de 2520 Hz, totalizando 42 ondas triangulares por período de 16,67 ms (1/60 Hz). Assim, considerando a portadora triangular com 256 contagens, foi incluído no projeto um bloco *Phase-Locked Loop* (PLL) para geração da frequência de 645.120 Hz (60 Hz x 42 x 256), a partir da frequência de operação de 50 MHz.

Como exemplo, na Fig. 19 são os mostrados os blocos criados a partir de linguagem VHDL para geração das três senoides de referência para os cálculos dos sinais V_d e V_q. Os valores das três senoides (42 pontos cada) foram pré-calculados e gravados na memória RAM da FPGA. Foi utilizado um índice de endereçamento da memória que é incrementado a cada 42 ciclos de *clock* de 645.120 Hz.

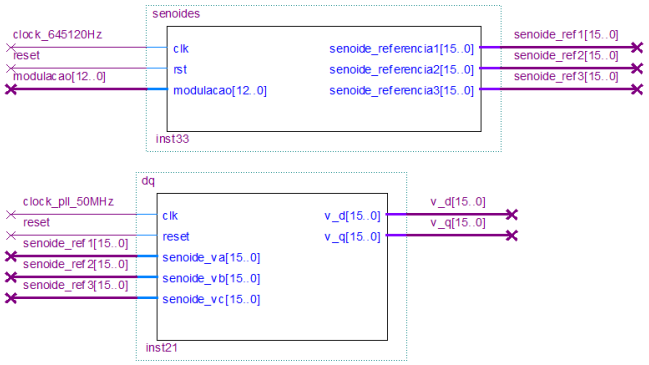

Fig. 19 Blocos para geração das três senoides de referência e sinais V_d e V_q.

Para o cálculo do ângulo α é realizada a operação matemática descrita em (4), sendo necessários os valores V_d e V_q, denominados na Fig. 19 como V_d e V_q, respectivamente. Inicialmente, V_q foi multiplicado por 100, para aumentar a resolução, e o valor V_d recebeu a adição do valor 1, de forma a evitar a divisão por zero. O resultado da divisão foi limitado entre -5999 e 5999 e adicionado à constante 5999, resultando em um número entre 0 a 11999. Assim, este valor foi utilizado como índice (I) de endereço de memória da FPGA para acessar o ângulo equivalente ao arco tangente. Conforme (32), esse ângulo θ foi pré-calculado para os 12000 valores e incluído no código em VHDL, resultando em ângulos entre -90° e 90°.

$$\theta = \operatorname{atan}\frac{(I - 5999)}{100} \tag{32}$$

No próximo passo, faz-se necessário identificar o quadrante de V_{ref} para correção do ângulo α. Essa correção é realizada através da análise dos sinais V_d e V_q, conforme a Tabela 5. Como as variáveis são do tipo sinalizada, é verificado o *bit* mais significado para identificação do sinal.

Tabela 5. Ajuste de α e função do sinal de V_d e V_q.

Sinal de V_d	Sinal de V_q	Cálculo de α
(+)	(+)	$\alpha = \theta$
(+)	(-)	$\alpha = \theta$
(-)	(+)	$\alpha = \theta + 180°$
(-)	(-)	$\alpha = \theta - 180°$

Na sequência, foi obtido o ângulo φ, conforme a Tabela 1. Os valores dos senos e cossenos para todos os ângulos inteiros de 0 a 359° foram cálculos através de planilhas, multiplicados pelo fator de normalização 10.000 e gravados no código em VHDL. O mesmo procedimento de normalização foi aplicado para o cálculo dos índices de modulação *m1* e *m2*.

Os grupos dos subsetores foram determinados conforme o fluxograma da Fig. 20, no qual o valor normalizado 5000 equivale ao índice de modulação 0,5.

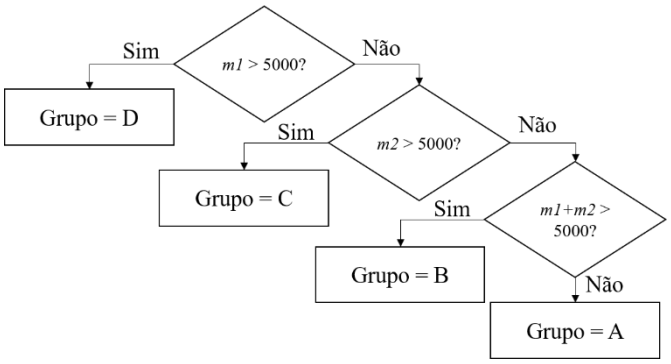

Fig. 20 Fluxograma para identificação do Grupo (A - D).

A partir do grupo de subsetores, foram aplicadas as equações apresentadas na Tabela 3 para o cálculo dos tempos t_K, t_L e t_M de disparo dos sinais PWM para cada subsetor. Esses sinais são aplicados conforme a Tabela 4 para o cálculo final dos tempos dos sinais para comparação com a portadora triangular. Foram utilizadas diversas normalizações para melhorar o desempenho do projeto, como, por exemplo:

$$\frac{\pi}{3}.1000 = 1047. \tag{33}$$

Na Fig. 21 é apresentado o bloco esquemático para cálculo dos tempos de disparo do PWM referentes aos Grupos A-D do setor S1. Os sinais de saída desse bloco são aplicados ao bloco da Fig. 22 para geração dos tempos para todos os 6 setores. Na Fig. 23 é mostrado o bloco de comparação dos sinais calculados com a portadora triangular. Por fim, um dos blocos para geração do sinal Ch1a e o seu sinal complementar com inclusão de tempo morto de 2 µs (100 *clocks* de 50 MHz) durante as comutações é apresentado na Fig. 24.

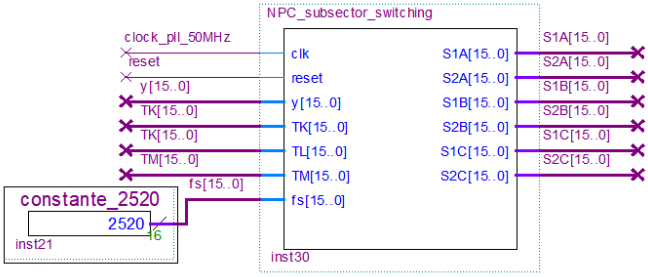

Fig. 21 Bloco esquemático para geração dos sinais referentes aos Grupos A-D do setor S1.

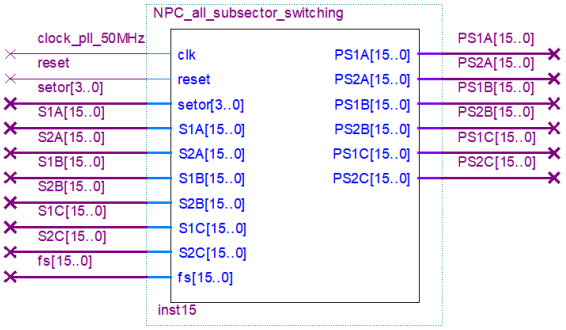

Fig. 22 Bloco esquemático para geração dos sinais de todos os 6 setores do hexágono.

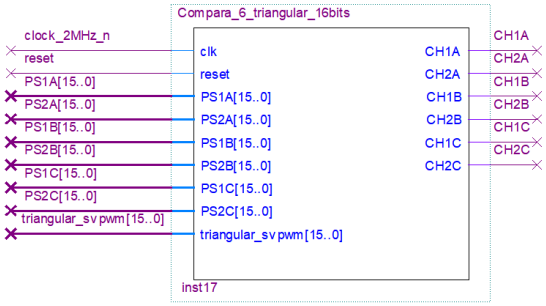

Fig. 23 Bloco esquemático de comparação dos sinais calculados com portadora triangular.

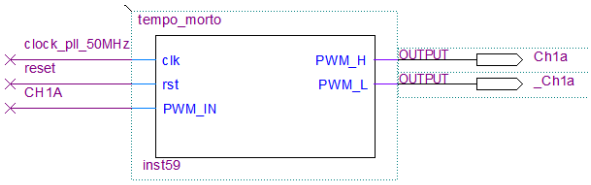

Fig. 24 Exemplo de bloco de geração de tempo morto para sinais complementares.

5. RESULTADOS

Para obtenção dos resultados de simulação foi empregada uma tensão de barramento de 180 V, frequência de comutação de 2520 Hz e uma carga RL composta por um resistor de 50 Ω e indutância de 100 mH. Na Fig. 25 é mostrado o resultado de simulação da tensão de linha "VlinhaAB", corrente na carga "I(RLa)", tensão de fase "VfaseA" para o índice de modulação máximo. Em azul é mostrado o valor médio calculado dentro do período de comutação. Pode-se observar a presença de harmônicas ímpares múltiplas de 3, característica da modulação vetorial.

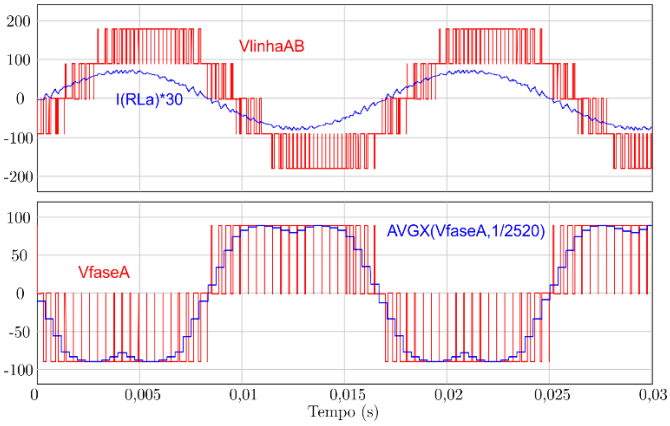

Fig. 25 Formas de onda para operação com índice de modulação máximo.

Na Fig. 26 são mostrados os resultados experimentais da tensão de linha *Vab* (canal 1) a respectiva tensão filtrada (canal 2) por uma carga série RC de 120 kΩ e 11 nF. Pode-se ver que a tensão filtrada apresenta comportamento senoidal, indicando que a modulação está sendo realizada de forma satisfatória. O cálculo da THD no Simview da forma de onda de saída do sinal *Vab* da Fig. 26 foi de 28,13% e pode ser visto na Fig. 27.

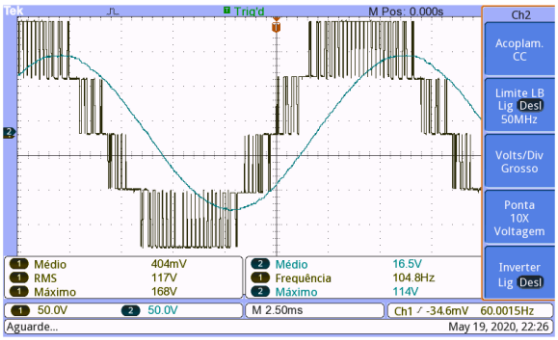

Fig. 26 Sinal de linha *Vab* (canal 1) e sinal após filtro RC (canal 2) com índice de modulação máximo.

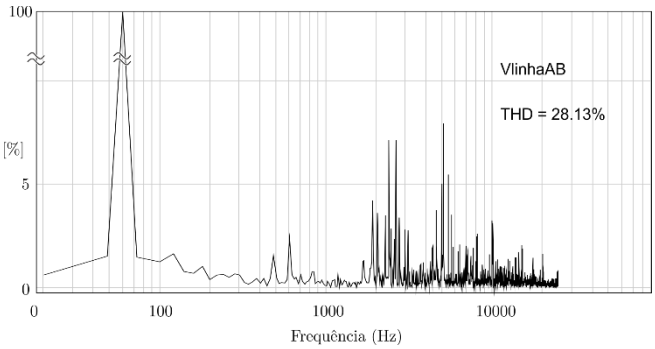

Fig. 27 Espectro de frequência da tensão de linha *Vab*.

Na Fig. 28 é apresentado o sistema completo formado pela placa com FPGA e circuito protótipo do inversor com topologia NPC conectado em uma carga trifásica com potência de entrada de 1714,5 W (127 V_{rms} x 13,5 A).

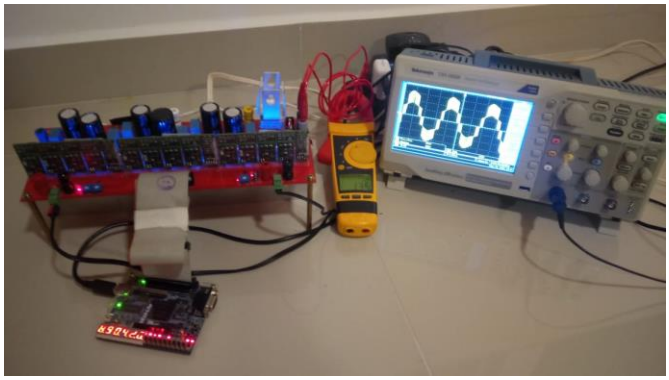

Fig. 28 Estrutura de testes com a placa de FPGA controlando o circuito protótipo do inversor NPC.

6. CONCLUSÕES

Neste trabalho foi apresentado o equacionamento matemático, simulação e avaliação experimental de um inversor NPC trifásico de 3 níveis com modulação SVPWM controlado por FPGA. Obteve-se uma excelente concordância entre os resultados simulados e experimentais, sendo apresentadas formas de onda para o máximo índice de modulação em amplitude. Entretanto, a utilização da FPGA permite, com relativa facilidade e flexibilidade, alteração dos índices de modulação em amplitude e em frequência para investigação de aplicações até a potência aproximada de 1700 W. A estratégia adotada utilizando normalizações e valores pré-calculados de arco tangente, seno e cosseno, armazenados em memória RAM, permitiu simplificar os cálculos da modulação SVPWM, economizando recursos de *hardware*. Os resultados corroboram que o sistema implementado, baseado em FPGA, pode ser utilizado em aplicações de baixa custo na área de Eletrônica de Potência voltadas ao ensino, pesquisa e desenvolvimento sistemas de energia.

AGRADECIMENTOS

Os autores agradecem à empresa NHS Sistemas Eletrônicos pelo fornecimento dos circuitos *drivers* e à UTFPR pelo espaço de laboratório cedido e equipamentos utilizados nas medições.

REFERÊNCIAS

Ahmed, I., Borghate, V.B., Matsa, A., Meshram, P.M., Suryawanshi, H.M., Chaudhari, M.A. (2016). Simplified space vector modulation techniques for multilevel inverters. *IEEE Transactions on Power Electronics*, IEEE, v. 31, n. 12, p. 8483–8499.

Delai, A.M., Simonetti, D.S.L., Vieira J.L. de Freitas (2017). Avaliação de desempenho da THD de conversores três níveis com diferentes estratégias de modulação, Revista SODEBRAS, nº133-Janeiro/2017, v. 12, p. 279-285.

Henn, G.A.D. L. Técnicas de modulação aplicada às estruturas de multiníveis com neutro grampeado e capacitor flutuante para redução de perdas e distorção harmônica. 2012. Dissertação (Mestrado) — Universidade Federal do Ceará, Centro de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica.

Hu, H., Yao, W., Lu, Z. (2007). Design and implementation of three-level space vector PWM IP core for FPGAs. *IEEE Transactions on Power Electronics*, v. 22, n. 6, p. 2234-2244.

Jiao, Y., Lee, F.C., Lu, S. (2014). Space Vector Modulation for Three-Level NPC Converter with Neutral Point Voltage Balance and Switching Loss Reduction. *IEEE Transactions on Power Electronics*, v. 29, n. 10, p. 5579-5591.

Kashif, S.A.R. (2020). Three-phase Simple Space Vector Pulse Width Modulation (https://www.mathworks.com/matlabcentral/fileexchange/32157-three-phase-simple-space-vector-pulse-width-modulation), MATLAB Central File Exchange.

Matsa, A., Ahmed, I., Chaudhari, M.A. (2014) Optimized space vector pulse-width modulation technique for a five-level cascaded H-bridge inverter. *Journal of Power Electronics*, v. 14, n. 5, p. 937–945.

Rashidi, B., Sabahi, M. (2013). High performance FPGA based digital space vector PWM three phase voltage source inverter. *International Journal of Modern Education and Computer Science*, Modern Education and Computer Science Press, v. 5, n. 1, p. 62.