

UM CONTROLADOR DIGITAL UNIFICADO PARA ESTUDO DE CONVERSORES CC-CA – CICLO DE PROJETO UTILIZANDO NI-MULTISIM E A FERRAMENTA DE COSSIMULAÇÃO PLD DESIGN.

FELIPE P. ALVES, JOSÉ R. QUEZADA

Laboratório de Desenvolvimento de Objetos, Modelos e Protótipos Inovadores de Aprendizagem para apoio ao ensino da Eletrônica de Potência e Instrumentação (LabMOPA- EPI), Depto. de Engenharia Elétrica, Universidade Federal do Maranhão
Caixa Postal 65080-805, São Luís, MA, Brasil
E-mails: felipealves013@gmail.com, jrkezada@yahoo.com

Abstract – This work presents the development and realization of a digital controller (unified) based on FPGA for control and study of power inverters to support the practical content (laboratory) of the Power Electronics discipline of the Electrical Engineering course of the Federal University of Maranhão. The controller allows the selection of different topologies between single-phase and three-phase DC-AC converters as well as the selection of different control modes (square wave or PWM) so that the user can study and assimilate complex concepts in a way mild and iterative. The project is carried out using the Programmable Logic Device Design (PLD Design) co-simulation tool, an integral part of the NI-MULTISIM (Student Edition) SPICE capture and simulation tool, which leads students in a design cycle of FPGA-based systems using discrete logic blocks. The development platform used was the Digital Electronics FPGA Board, for NI-ELVIS II, from XILINX. The final product is a versatile, unified FPGA-based digital controller that will lead the electrical engineering students in an unparalleled experience in the study of these static power conversion structures. The proposal is a product of the Laboratory for Development of Learning Objects, Models and Innovative Prototypes to support the teaching of Power Electronics and Instrumentation (LabMOPA-EPI), Department of Electrical Engineering of UFMA. LabMOPA-EPI has its origin motivated within the CAPES-DED and ABENGE initiative, called the Distance Learning National Engineering Network Program of the Open University System of Brazil - UABEng, which took place in 2014, and follows the guideline of producing Material and Methodologies to support the teaching of Electrical Engineering, in the experimental teaching of Power Electronics.

Keywords – Inverter; Digital Controller; FPGA; PLD Design Co-simulation Tool; Project Cycle.

Resumo – Este trabalho apresenta o desenvolvimento e a realização de um controlador digital (unificado) baseado em FPGA para controle e estudo de inversores de potência para suportar o conteúdo prático (laboratório) da disciplina de Eletrônica de Potência do curso de Engenharia Elétrica da Universidade Federal do Maranhão. O controlador permite a seleção de diferentes topologias entre conversores monofásicos e trifásicos DC-AC, bem como a seleção de diferentes modos de controle (onda quadrada ou PWM) para que o usuário possa estudar e assimilar conceitos complexos de maneira suave e iterativa. O projeto é realizado utilizando a ferramenta de cossimulação *Programmable Logic Device Design (PLD Design)*, parte integrante da ferramenta de captura e simulação *SPICE* do *NI-MULTISIM (Student Edition)*, que conduz os alunos em um ciclo de projeto de sistemas baseados em FPGA usando blocos lógicos discretos. A plataforma de desenvolvimento utilizada foi a *DIGITAL ELECTRONICS FPGA BOARD*, para *NI-ELVIS II*. O produto final é um controlador digital versátil e unificado baseado em *FPGA* que levará os estudantes de Engenharia Elétrica a uma experiência inigualável no estudo dessas estruturas de conversão de energia estática. A proposta é um produto do Laboratório de Desenvolvimento de Objetos de Aprendizagem, Modelos e Protótipos Inovadores para apoiar o ensino de Eletrônica de Potência e Instrumentação (LabMOPA-EPI), Departamento de Engenharia Elétrica da UFMA. O LabMOPA-EPI tem sua origem motivada dentro da iniciativa CAPES-DED e ABENGE, denominada Programa da Rede Nacional de Engenharia de Ensino a Distância do Sistema Universitário Aberto do Brasil - UABEng, que ocorreu em 2014 e segue a diretriz de produzir Material e Metodologias para apoiar o ensino de Engenharia Elétrica, no ensino experimental de Eletrônica de Potência.

Palavras-chave – Inversor; Controlador Digital; FPGA; Ferramenta de Cossimulação PLD Design; Ciclo de Projeto.

1 Introdução

Inversores são conversores estáticos que transformam Potência Elétrica da forma contínua para alternada (Rashid, 2017). Estes possuem vasta aplicação industrial, tanto em sistemas isolados, como é o caso de Acionamentos Eletronicamente Controlados de amplo uso na indústria, quanto nos interligados a rede, como nos sistemas de Geração Distribuída que fazem uso de Fontes Alternativas de Energia (*Smartgrids*). Os Inversores Fonte-de-Tensão ou *Voltage Source Inverters (VSI)* são os conversores mais comuns em Eletrônica de Potência (EP), depois dos Retificadores (Trzynadlowski, 2010). Atualmente, os Controladores Digitais para inversores comerciais são baseados principalmente em *CPUs* (Processadores). Este trabalho propõe a realização de

um Controlador Digital baseado em *Field Programmable Gate Arrays (FPGA)* para estudo de Inversores (Huselstein et al, 2006). Os *FPGAs* são estruturas lógicas programáveis/reconfiguráveis através de Linguagens de Descrição de *Hardware (HDLs)*, se constituindo em dispositivos muito flexíveis. Ao contrário de um sistema micro processado ou de um Circuito Integrado de Aplicação Específica (*ASIC*), os *FPGAs* podem ter suas funcionalidades modificadas mesmo depois de serem implantados em uma dada aplicação. Os *FPGAs* podem, também, executar tarefas muito específicas de forma muito eficiente uma vez que sua execução é controlada pelas interconexões “programadas” (*HDL*), que podem realizar tarefas verdadeiramente paralelas que serão executadas de forma simultânea e independentes umas das outras. Finalmente, uma vez que as aplicações são realmente realizadas em *hardware*, sem qualquer *software* envol-

vido, como um Sistema Operacional, *FPGAs* fornecem o máximo em confiabilidade e determinismo de execução.

O projeto foi realizado fazendo uso da ferramenta *PLD Design* (National Instruments, 2010), que encurta o ciclo de projetos baseados em *FPGA*, visto que, em parte, dispensa o aprendizado e domínio de uma *HDL*, conduzindo o desenvolvedor em um ciclo de projeto de sistemas baseados em *FPGA* usando blocos lógicos discretos.

O sistema realizado consiste de uma estrutura de conversão, configurável, constituída de um arranjo trifásico em ponte, Figura 1, que será realizado pelo *IGBT STEVAL-IHM027V1* (STMicroelectronics, 2012) e, ainda, do controlador unificado realizado através do *Digital Electronics FPGA Board* (National Instruments, 2009), que se constituiu na plataforma de desenvolvimento. De acordo com a configuração escolhida pelo usuário, este conjunto poderá realizar uma topologia conversor específico, dentre uma lista predefinida, e que pode resultar desde um simples inversor monofásico meia ponte, operando em onda quadrada, até um inversor trifásico *Pulse Width Modulation* (PWM) com Injeção de Terceira Harmônica (THIPWM) (Rao et al, 2014).

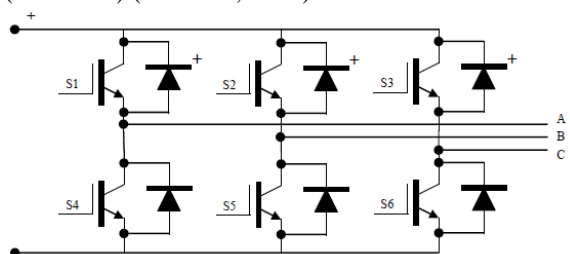


Figura 1. Arranjo de Conversão utilizado

2 Ferramentas e Métodos

2.1 PLD Design

O ambiente de cossimulação *PLD Design*, parte integrante *NI-MULTISIM* (Student Edition) (National Instruments, 2018), evidencia aos alunos um ciclo de projeto de sistemas digitais baseados em *FPGAs*, mas fazendo referência e uso de lógica discreta estudada em disciplinas básicas de Circuitos Digitais. Esta ferramenta de cossimulação encurta o ciclo de projeto de sistemas baseados em *FPGA*, pois isenta parcialmente o aprendizado e total domínio de uma Linguagem de Descrição de *Hardware* (*HDL*), uma vez que os sistemas **que estão** sendo projetados são modelados diretamente em lógica discreta, usando como componentes básicos blocos lógicos das famílias de integração de baixa escala, amplamente utilizado em cursos básicos de circuitos digitais (por exemplo: *Transistor-Transistor-Logic*, *CMOS-Digital*).

O *PLD Design*, em conjunto com a ferramenta *Xilinx Integrated Software Environment* (*ISE*), que faz uso da Linguagem de Descrição de *Hardware* *VHSIC Hardware Description Language* (*VHDL*), permite a construção de uma estrutura lógica (programada) a

partir do uso de componentes de lógica discreta e que resulta em um Arquivo de Descrição de *Hardware* necessário para síntese do *Hardware* a ser gravado na *FPGA* da *DEFB*.

Dentro do ambiente *PLD Design* é disponibilizado um Banco de Dados de Componentes Específicos e especializados, gerados a partir de estruturas comuns de lógica discreta que, além de possuírem seu modelo *SPICE*, que permite sua captura e simulação, possuem também modelagem em *VHDL* equivalente. Para a síntese de um projeto, é gerado o código *VHDL* equivalente de todo o sistema, considerando todos os componentes lógicos discretos e suas conexões e, através da ferramenta *ISE*, gerado o bit file a ser gravado na *FPGA* do *DEFB*, uma das *Target* já cadastradas no ambiente cossimulação para este fim.

2.2 Targets de Desenvolvimento suportadas pelo PLD Design

O ambiente de cossimulação *PLD Design*, na última versão disponível do *NI-MULTISIM* (versão 14.1 Educational Edition), tem suporte para as seguintes Plataformas de Desenvolvimento (*Targets*):

1) Para uso com ferramentas *Xilinx ISE* 14.7 (para *FPGAs*) e *Drivers DIGILENT*:

- a) Plataforma *Basics Digilent*.
- b) Plataforma *Basys Digilent 2*.
- c) Plataforma *Cmod Digilent S6*.
- d) Plataforma *Digilent Nexys 2*.
- e) Plataforma *Nexys 3 Digilent*.
- f) Plataforma *Nexys 4 Digilent*.
- g) Plataforma *NI Digital Electronics FPGA Board*, para *NI-ELVIS*.
- h) Plataforma *NI Digital Electronics FPGA Board* (7 segmentos), para *NI-ELVIS*.

2) Para uso com ferramentas *Xilinx VIVADO* 2014.4 (para *XILINX SoCs*) e *Drivers DIGILENT*:

- a) Plataforma *Basys 3 Digilent*.
- b) Plataforma *Digital System Development Board Digilent*, para *NI-ELVIS*.
- c) Plataforma *Cmod Digilent A7*.
- d) Plataforma *Arty Digilent*.

3) Para uso com outras Plataformas de Desenvolvimento, é necessário registrá-las no ambiente de cossimulação.

2.3 Component Wizard

O ambiente de cossimulação do *PLD Design* também disponibiliza o Assistente de Criação de Componentes ou *Component Wizard*, que auxilia na criação de componentes personalizados ou inexistentes dentro do ambiente para posterior adição à Base de Dados de cossimulação de componentes específicos do mesmo.

Observa-se que para modelar um componente no ambiente *PLD Design* é necessário: (a) construir seu modelo de simulação *SPICE*, e; (b) construir, também, seu código *VHDL* equivalente (Chu, 2008). Este

último destinado a exportar o *hardware* programado para o dispositivo programável da *Target* em uso no ambiente. Ambos os modelos/códigos (*Spice* e *VHDL*) podem ser elaborados com ajuda da ferramenta de software *MATLAB*.

2.4 A Plataforma de Desenvolvimento DEFB

Neste trabalho utilizamos a Plataforma de Desenvolvimento *DEFB*, de fabricação *Xilinx*. O *DEFB* foi desenvolvido especificamente para uso com a Plataforma de Experimentação e Aquisição de Dados *NI-ELVIS II*. A escolha desta plataforma de desenvolvimento está relacionada à sua disponibilidade no Laboratório Multidisciplinar do DEEE / UFMA (LMD). O *DEFB* possui um *FPGA Xilinx XC3S500E Spartan-3E* (*National Instruments*, 2009). Além da *FPGA*, a Plataforma contém outros componentes/recursos de suporte ao desenvolvimento de sistemas baseados em *FPGA* (*National Instruments*, 2012), dentre os quais, os seguintes:

- *Slide switches*.
- Botões.
- *LEDs*.
- Dois *displays* de 7 segmentos.
- *General Purpose Input and Output (GPIOs)* conectadas a um protoboard de acesso.
- *Clock* externo, que opera de 1 a 5 MHz.
- Botão rotativo para controle da frequência do *Clock* externo (*RotClk*).
- Oscilador interno de 50 MHz (*sys_clk_pin*).

3 Proposta Pedagógica

Na Universidade Federal do Maranhão, a ementa da disciplina prática de Eletrônica de Potência, do Curso de Engenharia Elétrica (CEE) trata de:

Projetos, simulações e práticas: Aplicações dos semicondutores de potência: diodos e tiristores. Operação dos conversores básicos, Retificadores: chaveadores e inversores.

Para fins de dar suporte à atividade laboratorial dessa importante disciplina prática, dentro de uma ótica contemporânea, o LabMOPA EPI se propôs, dentro de suas diretrizes de produzir Material e Metodologias para apoiar o ensino de Engenharia Elétrica, no ensino experimental de Eletrônica de Potência, o desenvolvimento de vários Programas de Formação Prática em Eletrônica com foco no Estudo de Conversores Estáticos de Energia para os Sistemas de Conversão que executam as Funções Básicas de Conversão CA-CC e CC-CA, iniciando pelo desenvolvimento e realização de Controladores Digitais Unificados baseados em *FPGA* para controle desses Conversores.

Tendo em mente estes objetivos, deu-se início à proposta com o desenvolvimento e realização de um Controlador Unificado baseado em *FPGA* para Estudo de

Inversores *VSI*, segundo as diretrizes a seguir (Rashid, 2017), (Rao et al, 2014), (Trzynadlowski, 2010):

- a. Topologias Monofásicas:
 - i. Tipo Meia Ponte:
 1. Modo Onda-Quadrada;
 2. Modo *PWM* (*Carrier-Comparison*).
 - ii. Tipo Ponte Completa:
 1. Modo Onda-Quadrada;
 2. Modo *PWM* (*Carrier-Comparison*):
 - a) Bipolar;
 - b) Unipolar.
- b. Topologias Trifásicas:
 - i. Modo Onda Quadrada:
 1. 120°;
 2. 180°.
 - ii. Modo *PWM*:
 1. *PWM* Senoidal (*SPWM*);
 2. *PWM* com Injeção de Terceiro Harmônico (*THIPWM*);

O produto final será um controlador digital versátil e unificado baseado em *FPGA* que levará os estudantes de Engenharia Elétrica a uma experiência inigualável no estudo dessas estruturas de conversão de energia estática em diferentes topologias e modos operacionais.

O estudo básico de Inversores, do Programa de Formação, considerará os aspectos a seguir, e responderá às questões formuladas:

- a) O PROCESSO DE CONVERSÃO. Produtos e Subprodutos. Que produtos e subprodutos são esses?
- b) O COMPORTAMENTO OPERACIONAL DO SISTEMA DE CONVERSÃO. Do ponto de vista das chaves eletrônicas que constituem o mesmo e com vistas a definir limites operacionais. Que chaves eletrônicas são essas? Que limites operacionais são esses?
- c) EFEITOS DOS SUBPRODUTOS DO PROCESSO DE CONVERSÃO SOBRE A CARGA E SOBRE A FONTE DE ENTRADA. Que produtos e subprodutos são esses? Que efeitos os subprodutos produzem na carga e na fonte de entrada?
- d) TÉCNICAS BÁSICAS DE CONTROLE DE INVERSORES *VSI* (Frequências, Tensão).

O controlador deverá permitir a seleção de diferentes topologias entre conversores monofásicos e trifásicos DC-AC, bem como a seleção de diferentes modos de controle (onda quadrada ou *PWM*) para que o estudante de engenharia possa estudar e assimilar conceitos complexos de maneira suave e iterativa.

4 Desenvolvimento

A estrutura básica do controlador proposto é apresentada na Figura 2, onde são mostrados os elementos básicos do sistema a ser projetado.

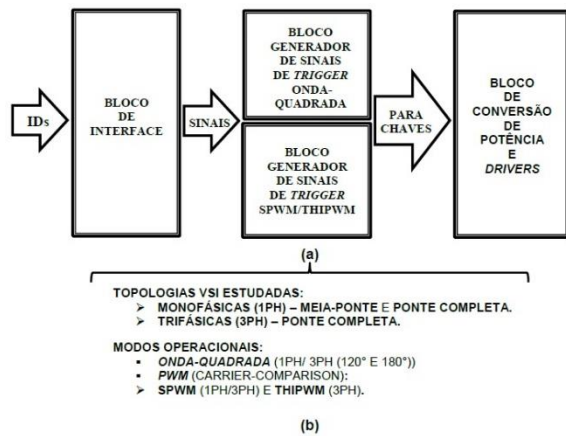


Figura 2 Controlador *FPGA* Unificado Projetado para o Estudo de Inversores *VSI* - Ciclo de Projeto *PLD-Design*. (a) Elementos Básicos do Diagrama de Blocos Geral. (b) Topologias Estudadas e Modos de Operação propostos.

4.1 Especificações de Requisitos do Controlador

Para atender aos requisitos do Plano de Estudo proposto, o controlador unificado deverá ser capaz de gerar sinais de disparo para “nove estruturas de conversão”, que diferem uma da outra pelo (a):

- Número de fases do inversor a ser estudado;
- Topologia do inversor específico em estudo, e;
- Técnica de controle utilizada para gerar os sinais de disparo do inversor específico selecionado para estudo.

Foram idealizados nove “modos” de operação a serem realizados pelo Controlador, indicados na Tabela 1. Cada “modo” de operação foi relacionado a um número de identificação (ID), identificado através dos displays de “7-Segmentos” da *DEFB*. Isto define a primeira especificação de requisitos do controlador.

Tabela 1. Modos Operacionais do Controlador *FPGA*.

ID	Fa-ses	Chaves	Topolo-gia	Controle
01	1-Ph	<i>S1, S4</i>	Meia-Ponte	Onda-Quadrada
02	1-Ph	<i>S1, S3, S4, S6</i>	Ponte-Completa	Onda-Quadrada
03	3-Ph	<i>S1, S2, S3, S4, S5, S6</i>	Ponte-Completa	Onda-Quadrada 120°
04	3-Ph	<i>S1, S2, S3, S4, S5, S6</i>	Ponte-Completa	Onda-Quadrada 180°
05	3-Ph	<i>S1, S2, S3, S4, S5, S6</i>	Ponte-Completa	SPWM
06	1-Ph	<i>S1, S3, S4, S6</i>	Ponte-Completa	SPWM bipolar
07	1-Ph	<i>S1, S3, S4, S6</i>	Ponte-Completa	SPWM unipolar
08	3-Ph	<i>S1, S2, S3, S4, S5, S6</i>	Ponte-Completa	SPWM
09	3-Ph	<i>S1, S2, S3, S4, S5, S6</i>	Ponte-Completa	THIPWM

Para tal, foi provisionado um Bloco Funcional que realizará a Interface entre o usuário e o controlador, de modo que esta Interface receba as entradas de parametrização do usuário e gere os sinais para configuração dos blocos geradores dos sinais de disparo (*Trigger*)

de forma apropriada. O comportamento do Bloco de Interface pode ser visto como o comportamento do próprio Controlador Unificado em si. Este comportamento será definido em duas fases:

- A FASE DE SELEÇÃO/PARAMETRIZAÇÃO. Durante a fase de seleção, será possível alterar o modo de operação do controlador, incrementando ou decrementando o ID identificado através do display de 7-Segmentos. Durante esta fase todas as saídas de *Trigger* do controlador são inibidas.
- A FASE DE FUNCIONAMENTO. A fase de funcionamento é iniciada após selecionar um dos modos de operação. Nesta fase os sinais de disparo na saída do controlador são habilitados, porém bloqueia-se a funcionalidade de seleção/parametrização do modo de operação, já que isto certamente poderia acarretar problemas para o inversor conectado ao controlador. Para retornar ao processo de seleção/parametrização deve-se “zerar” (*Reset*) o controlador.

O processo de seleção/parametrização descrito será realizado por quatro botões e dois *slides switches*, já disponíveis na Plataforma *DEFB*. Estas são as entradas de seleção/parametrização do controlador. A funcionalidade de cada uma é descrita na Tabela 2.

A segunda especificação de requisitos refere-se à capacidade de realizar o controle da frequência de saída do inversor, que está relacionado ao sinal de *Clock* utilizado para gerar os sinais de disparo. Há no *DEFB* duas maneiras de obter um *Clock*:

- Usando o oscilador interno (*sys_clk_pin*).
- Usando o *Clock* externo (*RotClk*).

Foi escolhido utilizar *RotClk* nos blocos geradores de sinais de disparo, já que a frequência pode ser controlada manualmente através do botão rotativo, obtendo frequências na faixa de 1 Hz a 5 MHz. Porém, no bloco de Interface será usado o oscilador interno de frequência fixa de 50 MHz. O controle de frequência será inserido nos Blocos de *Trigger*, tanto de Onda-Quadrada (GSDOQ) como PWM (GSDST).

A terceira especificação de requisitos refere-se à capacidade de alterar a sequência de fase da saída do inversor, que é possível apenas nos modos trifásicos. O controle de sequência de fase da saída será inserido nos Blocos de *Trigger*, tanto de Onda-Quadrada como PWM, originado a partir do Bloco de Interface.

A quarta especificação de requisitos refere-se às características de segurança que devem ser inseridas ao projeto do controlador. Consistindo da função Liga/Desliga já mencionada e do bloco de “tempo morto”, que adiciona um tempo extra à ativação das chaves de um mesmo braço de conversão, impedindo o acionamento simultâneo das mesmas.

Tabela 2. Bloco de Interface do Controlador - Seleção das Entradas de Parametrização.

En-trada	Operação	Descrição
BTN0	Seleciona	Seleciona o modo de operação (ID) do controlador, mostrado no display de 7 segmentos, e inicia o processo de operação. Ativa os sinais de acionamento na saída do controlador e desativa os botões de incremento / decremento do identificador de modo.
BTN1	Incrementa	Incrementa o identificador do modo de operação, se em processo de seleção (ID → 01 ... 09).
BTN2	Decrementar	Decrementa o identificador do modo de operação, se em processo de seleção (ID → 09 ... 01).
BTN3	Restabelecer	Coloca o controlador no ponto inicial. Retornando ao processo de seleção, isto é, desativa as saídas do Controlador e habilita os botões de incremento e decremento do identificador de modo.
SW0	Liga/Desliga	Liga/Desliga. Ativa ou desativa o controlador, bloqueando as saídas se estiver na posição desligado (<i>off</i>). O <i>Slide Switch</i> SW0 deve ser mantido na posição desligado para garantir que nenhum sinal de disparo espúrio seja gerado após o processo de programação da FPGA, ou no processo de energização da Plataforma, servindo como proteção do inversor que está sendo controlado.
SW1	Sequência de Fase	Altera a sequência de fases (ABC↔CBA). Altera o sentido de contagem (<i>Up↔Down</i>) dos contadores presentes nos blocos de geração de sinal, alterando assim a sequência de fases na saída do inversor. Funciona apenas nos modos trifásicos.

4.2 O Bloco de Interface

A primeira especificação de requisitos refere-se à capacidade de configuração do controlador para fins do mesmo poder realizar os diferentes modos operacionais ajustados à Proposta Pedagógica. O Bloco de Interface provisionado receberá as entradas de parametrização, conforme indicado na Tabela 2, e fornecerá os Sinais de Configuração config01, config02, config03 e config04, que serão destinados ao Bloco GSDOQ. E, também fornecerá os sinais de configuração necessários para o Bloco GSDST, que são config05, config06, config07, config08 e config09. A estrutura básica do Bloco de Interface é indicada na Figura 3.

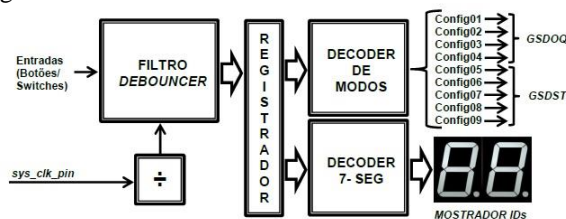


Figura 3. Diagrama do Bloco de Interface.

- Divisor de *Clock*: tem como função reduzir a frequência proveniente do oscilador interno da *DEFB* (50 MHz) para uso nos Filtros *Debouncer* e no Bloco Direcionador de Saídas/Tempo Morto, que será mostrado mais adiante.
- Filtros *Debouncer*: Trata-se de um filtro aplicado para condicionar as entradas de configuração (botões e *switches*) ao Bloco de Interface, e minimizar o efeito de *bouncing* originado pelo acionamento de chaves mecânicas.
- Registrador do Modo de Operação: Este bloco registra o modo de operação do controlador e também rege as suas transições, ou seja, é responsável por programar o comportamento especificado para a Interface na primeira especificação de requisitos.
- Decodificador de Modo de Operação: Decodifica o valor registrado nas saídas do Bloco Registrador, referenciando os modos de operação (ID 01 a 09), e gerando os sinais de Config (01 a 09).
- Decodificador 7-Segmentos: Decodifica o valor registrado nas saídas do Registrador de Modo para um formato próprio para ser conectado aos displays de 7- segmentos da *DEFB*.

4.3 Gerador de Sinais de Disparo de Onda Quadrada

O Gerador de Sinais de Disparo em Onda Quadrada (GSDOQ) tem o objetivo de gerar os sinais de disparo para realizar os modos de operação indicados pelos IDs 01, 02, 03 ou 04, da primeira especificação de requisitos, indicados na Tabela 1.

Este bloco receberá os sinais de configuração definidos como Config01, Config02, Config03 e Config04, fornecidos pelo Bloco de Interface. A estrutura do GSDOQ gira em torno da ideia de que estes modos de controle contêm, no máximo, seis estados de comutação diferentes (Modos 120° e 180°). Assim, deseja-se construir um Contador Cíclico de Estados (CCE), para obter os sinais de disparo desejados, para qualquer modo de operação em onda quadrada a partir de circuitos lógicos combinacionais. Desta forma, a estrutura do GSDOQ é constituída basicamente por dois blocos funcionais: o CCE e o bloco do Circuito Lógico Combinacional (CLC), que nada mais é que um *decoder* que define o estado de comutação das chaves em cada um dos estados “contados” pelo CCE, em cada modo de controle em onda quadrada. A estrutura do GSDOQ é indicada na Figura 4.

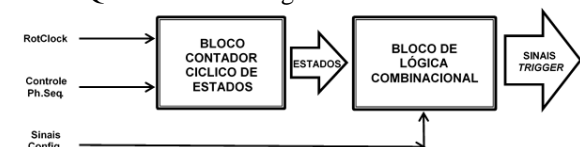


Figura 4. Diagrama de Blocos do Gerador de Sinais de Disparo de Onda Quadrada.

A Tabela III mostra os sinais intermediários do CLC para os modos de Onda Quadrada. Para cada ID e estado cíclico contados, são mostrados os estados de operação dos interruptores que, juntamente com os sinais de configuração do bloco de interface, gerarão

os sinais de acionamento apropriados. Note que um ciclo de contagem (1→6) corresponde a um ciclo de operação do inversor de potência.

Tabela 3 Operação em Onda-Quadrada – Sinais Intermediário do CCE

Topologia	ID	Chaves	Estados Cíclicos					
			1	2	3	4	5	6
1 Ph-Meia Ponte	1	$S1$	1	1	1	0	0	0
		$S4$	0	0	0	1	1	1
1 Ph-Ponte Completa	2	$S1$	1	1	1	0	0	0
		$S3$	0	0	0	1	1	1
		$S4$	0	0	0	1	1	1
		$S6$	1	1	1	0	0	0
3 Ph-Mode 120°	3	$S1$	1	1	0	0	0	0
		$S2$	0	1	1	0	0	0
		$S3$	0	0	1	1	0	0
		$S4$	0	0	0	1	1	0
		$S5$	0	0	0	0	1	1
		$S6$	1	0	0	0	0	1
3 Ph-Mode 180°	4	$S1$	1	1	1	0	0	0
		$S2$	0	1	1	1	0	0
		$S3$	0	0	1	1	1	0
		$S4$	0	0	0	1	1	1
		$S5$	1	0	0	0	1	1
		$S6$	1	1	0	0	0	1

4.4 Gerador de Sinais de Disparo SPWM e THIPWM

O Gerador de Sinais de Disparo *SPWM* e *THIPWM* (GSDST) tem objetivo de gerar os sinais de disparo para modulação *PWM* indicados pelos IDs 05, 06, 07, 08 ou 09, da primeira especificação de requisitos, indicados na Tabela 1.

Este bloco receberá os sinais de configuração definidos como Config05, Config06, Config07, Config08 e Config09, fornecidos pelo Bloco de Interface. A estrutura do GSDST é indicada na Figura 5.

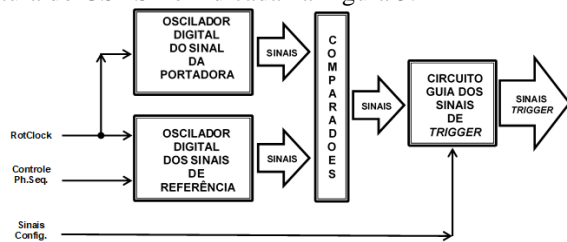


Figura 5. Diagrama de Blocos do Gerador de Sinais de Disparo *SPWM* e *THIPWM*.

Nas técnicas de controle escalar *PWM*, os sinais de disparo são gerados através da comparação entre sinais de referência e de uma portadora. Para realizar esta técnica em controladores digitais baseados em *FPGA*, é necessário gerar todos os sinais digitalmente, tanto os sinais de referência como o da portadora. Para tal, algumas premissas de projeto precisam ser inicialmente definidas. A primeira delas diz respeito à definição da resolução a ser adotada para a amplitude dos sinais e para a taxa de amostragem dos mesmos. No presente trabalho foram definidos como sendo de 8 *Bits* tanto para a resolução, como para a taxa de amostragem. Ou seja, cada sinal de referência e a portadora serão gerados com 2^8 amostras, o que resulta em um

total de 256 amostras digitais por ciclo, por sinal gerado, e cada amostra foi codificada em 8 *bits*.

- Gerador da Portadora: A portadora a ser gerada consiste em um sinal de dente-de-serra que, digitalmente, pode ser gerado por um simples contador de 8 *bits* realizando contagens crescentes e decrescentes.
- Comparador: Foram utilizados dois comparadores de 4 *bits* em cascata.
- Oscilador de Referência: Foi desenvolvido um Oscilador Trifásico Senoidal de Referência (OTSR), (Quezada & Alves, 2018). O projeto do oscilador apresentado é utilizado neste projeto como código de reuso para realizar o Controlador Unificado.
- Circuito Guia dos Sinais de Disparo: O Bloco Guia dos Sinais de Disparo recebe os sinais provenientes dos comparadores e os sinais de configuração fornecidos pelo Bloco de Interface e disponibiliza nas saídas apenas os sinais de *Trigger* correspondentes à configuração atual do controlador (ID 05 a 09).

4.5 Direcionador de Saídas/Tempo Morto

O controlador não pode permitir o acionamento simultâneo de duas chaves dentro de um mesmo braço de conversão, isto causaria um curto circuito da fonte CC de entrada ao inversor. Por este motivo, foi provisionado o Bloco Tempo Morto, que adiciona um tempo de atraso entre os sinais de disparo das chaves eletrônicas de um mesmo braço de conversão. O objetivo do Direcionador de Saídas (DS) é acomodar todas as saídas provenientes dos Blocos Geradores de *Trigger* em seis saídas únicas, que serão direcionados aos pinos de saída da *FPGA*, e aos quais se terá acesso através dos pinos de *General Purpose I/O (GPIO)* da *DEFB*, após passarem pelo bloco Tempo Morto. A estrutura destes blocos é mostrada na Figura 6.

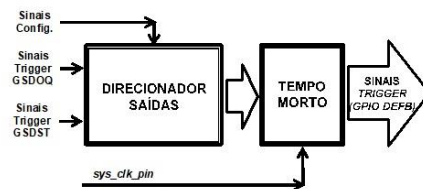


Figura 6. Diagrama dos Blocos do Direcionador de Saídas/Tempo Morto

5 Resultados Obtidos

O Controlador Unificado projetado foi simulado, sintetizado e gravado na *FPGA* da Plataforma *DEFB*. Os resultados experimentais apresentados foram obtidos com conversores D/A R2R e um *BitScope Micro - USB Mixed Signal Oscilloscope, Waveform, Clock Generator, and Logic Analyzer*, um periférico USB de aquisição de sinais analógicos e digitais projetado para uso com PC.

O Controlador Unificado foi configurado em cada um de seus modos de operação (IDs), e então observados e registrados seus sinais intermediários e de saída, as Figuras 7 a 15 indicam os registros desses sinais.

Os seis sinais de saída do controlador: S_1 , S_2 , S_3 , S_4 , S_5 e S_6 , foram capturados através do analisador lógico do *Bitscope Micro*, estes correspondem aos sinais de disparo para as seis chaves do inversor. Dependendo do modo de operação, são gerados/habilitados 2, 4 ou 6 sinais, que serão direcionados para as chaves correspondentes do inversor. Para os Modos em Onda Quadrada (IDs 1 a 4), a Tabela 3 indica os sinais intermediários gerados. Para os modos de operação que envolve modulação *PWM*, são mostradas ondas intermediárias usadas para gerar os sinais de disparo, estes sinais foram obtidos através de conversores D/A R2R e de dois canais do osciloscópio do *BitScope Micro*.

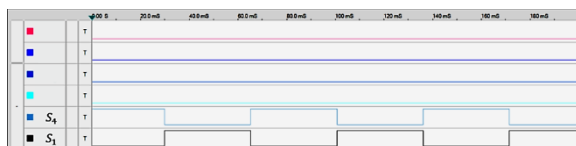


Figura 7 – ID-01: Topologia monofásica em Meia Ponte – Controle em Onda Quadrada

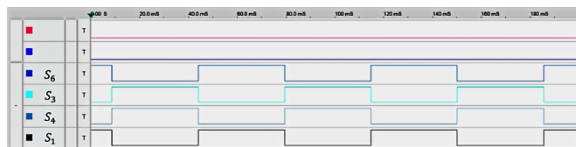


Figura 8 – ID-02: Topologia monofásica em Ponte Completa – Controle em Onda Quadrada

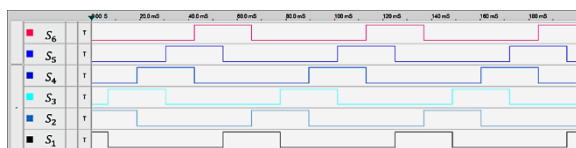


Figura 9 – ID-03: Topologia trifásica – Controle em Onda Quadrada Modo 120°

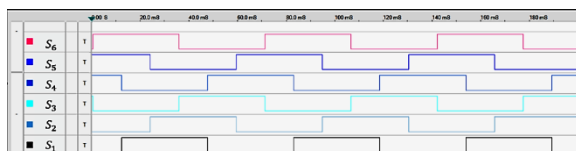


Figura 10 – ID-04: Topologia trifásica – Controle em Onda Quadrada Modo 180°

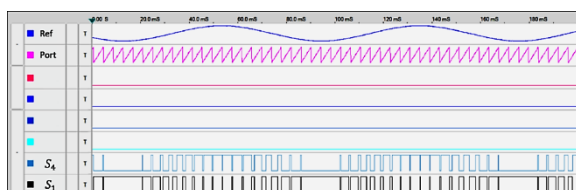


Figura 11 – ID-05: Topologia monofásica em Meia Ponte – Controle SPWM

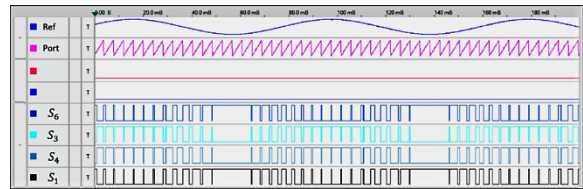


Figura 12 – ID-06: Topologia monofásica em Ponte Completa – Controle SPWM Bipolar

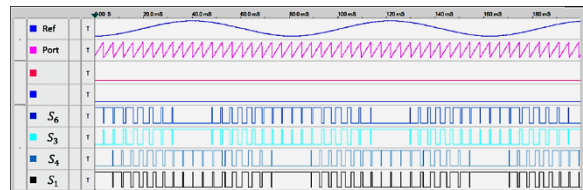


Figura 13 – ID-07: Topologia monofásica em Ponte Completa – Controle PWM Unipolar

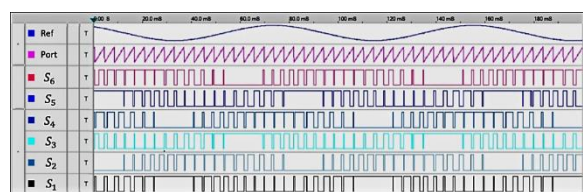


Figura 14 – ID-08: Topologia trifásica – Controle SPWM

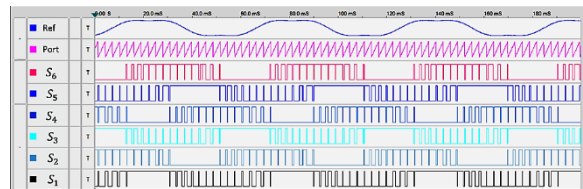


Figura 15 – ID-09: Topologia trifásica – Controle THIPWM

6 Conclusão

O LabMOPA-EPI tem sua origem motivada dentro da iniciativa CAPES-DED e ABENGE, denominada de: Programa de Engenharia a Distância em Rede Nacional do Sistema Universidade Aberta do Brasil – UABEng, que ocorreu no ano de 2014, e segue a diretriz de produzir material e metodologias para apoio ao ensino de Engenharia Elétrica, no ensino experimental de Eletrônica de Potência e Instrumentação Eletrônica, para programas de Ensino da Engenharia Elétrica nas modalidades presenciais, híbridas e EaD. Além da produção de material de experimentação que insira experiências de Aprendizagem Autêntica, o LabMOPA-EPI trabalha na inserção de novas metodologias no processo de ensino-aprendizado da Engenharia, como as Metodologias Ativas.

A metodologia proposta neste trabalho se valeu de diversos recursos, tanto metodológicos quanto tecnológicos, no intuito de avançar na melhoria ou talvez modificar a “sala de aula” dos CEE, que hoje vão além do espaço físico da Universidade.

Os resultados obtidos permitem concluir que o uso da ferramenta *PLD Design*, em conjunto com a Plataforma de Desenvolvimento *DEFB*, constitui uma ex-

celente metodologia e plataforma para conduzir experimentação laboratorial na área de EP, no que se refere a projetos baseados em *FPGA*.

No entendimento dos autores, promove-se, assim, inovação educacional através da realização de experiências práticas de aprendizagem autêntica que inserem os estudantes dentro de um contexto mais atual e ajustado ao que deverá ser sua atuação como profissional das Engenharias, uma vez que:

1. O projeto desenvolvido se ajusta perfeitamente dentro de um contexto autêntico que certamente irá se refletir na forma como o conhecimento será utilizado na vida real.
2. As atividades desenvolvidas ao longo da execução do ciclo de projeto se evidenciam como autênticas, uma vez que as mesmas envolveram problemas e investigações complexas para fins de desenvolver um projeto tecnologicamente atualizado e real do Controlador.
3. O projeto possibilitou o acesso ao trabalho de peritos que permitiram a modelagem dos diferentes Blocos do Controlador dentro de uma nova perspectiva tecnológica, a de uso de metodologias e ferramentas para desenvolvimento de projetos baseados em *FPGA*.
4. O projeto permitiu desenvolver múltiplos papéis e perspectivas fornecendo caminhos de soluções alternativas.
5. Permitirá a abordagem colaborativa, possibilitando a construção social do conhecimento visto que os blocos básicos do Controlador serão utilizados como Blocos Lógicos Funcionais de Reuso (*Intellectual Property Core (IP Core)*) em novos projetos de Controladores Digitais baseados em *FPGA*, em andamento.

Demonstra-se, assim, a validade das metodologias adotadas e do ciclo de projeto abordado e abrem-se perspectivas para novos desenvolvimentos fazendo uso das tecnologias *FPGA* utilizando as ferramentas de cossimulação *PLD Design*.

Agradecimentos

Agradecemos ao Departamento de Engenharia de Eletricidade da UFMA pelo incentivo dado para a elaboração deste trabalho e pela permissão de uso dos recursos laboratoriais do Laboratório Multidisciplinar, ambiente de experimentação totalmente estruturado com as tecnologias *National Instruments* para apoio ao Ensino da Engenharia Elétrica.

Referências Bibliográficas

Alves, F.P. (2018). “Um Controlador Digital Unificado para Estudo de Conversores CC-CA – Ciclo de Projeto Utilizando *NI-MULTISIM* e a Ferramenta de Cossimulação *PLD-Design*.” Projeto de TCC. UFMA. Departamento de Engenharia Elétrica.

- Brown, J.S.; Collins, A.; Duguid, P. (1989). “Situated Cognition and the Culture of Learning.” *Educational Researcher*, vol. 18, No 1, pp. 32-42.
- Chu, P.P (2008). “FPGA Prototyping by VHDL Examples.” John Wiley & Sons Inc.
- Herrington, J.; Oliver, R. (2000). “An Instructional Design Framework for Authentic Learning Environments.” *Educational Technology Research and Development*, vol. 48, No 3, pp. 23-48.
- Huselstein, J.J.; Martire, T.; Enrici, P. (2006). “A Versatile Inverter for Educational Purposes.” *IEEE 12th International Power Electronics and Motion Control Conference*, Slovenia, pp. 1727-1732.
- Lima, F. (1989). “Fonte de Corrente Digitalmente Controlada.” Projeto de TCC. UFMA. Departamento de Engenharia Elétrica.
- National Instruments (2009). “Digital Electronics FPGA Board User Manual.”
- National Instruments (2010). “Teach Digital Concepts with the PLD Schematic in NI Multisim.” Tutorial-10556-en.
- National Instruments (2012). “Export Digital Logic to Xilinx FPGAs With NI Multisim.” Tutorial-10289-en.
- National Instruments (2017). “PLD Schematic MULTISIM Help.”
- National Instruments (2018). “Teaching Digital Logic Fundamentals - Theory, Simulation and Deployment”. white-paper/14946/en/.
- Quezada, J.R.; Alves, F. “Desenvolvimento e Realização de um Oscilador Trifásico Senoidal de Referência Baseado em *FPGA* – Uma Experiência de Aprendizagem Autêntica.” Congresso Brasileiro de Automática 2018. A ser Publicado.
- Rao, K. R.; Srinivas, P.; Suresh Kumar, M.V. (2014). “Design and Analysis of Various Inverters Using Different PWM Techniques”. *The International Journal of Engineering And Science*, pp. 2319 – 1805.
- Rashid, M. (2017). “Power Electronics Handbook.” Fourth Edition. Elsevier.
- Santos Filho, R.M.; Silva Pinto, M.A. (2005). “Modular Laboratory Equipment for Undergraduate and Technician Courses In Power Electronics.” *Power Electronics Education. IEEE Workshop* Volume, pp. 120 – 124.
- STMicroelectronics (2012). “STEVAL-IHM027V1 3-Phase EVB User Manual-CD00277625”.
- Trzynadlowski, A. (2010). *Introduction to Modern Power Electronics*, Second Edition. John Wiley & Sons Inc.