

Conversor a capacitor chaveado abaixador série-paralelo: Projeto e considerações sobre a regulação da potência de saída

Ricardo Brancalione Menegatti,* Diogo Ribeiro Vargas,**
Juliano de Pelegrini Lopes***

* *Universidade Tecnológica Federal do Paraná, UTFPR, Câmpus Pato Branco, Programa de Pós-graduação em Engenharia Elétrica, PPGEE*
(e-mail: ricardo.brancalione@gmail.com),

** (e-mail: diogovargas@utfpr.edu.br),

*** (e-mail: julianolopes@utfpr.edu.br).

Abstract:

This paper presents a detailed design methodology of the series-parallel step-down switched capacitor converter. The output power regulation is evaluated by adjusting the input voltage, the load resistance or equivalent resistance (by duty cycle, capacitance or frequency). The regulation by duty cycle is limited and has not sufficient for the example. The regulation by capacitance or frequency shown an increase in current peaks. A laboratory prototype with a rated power of 30 W was built in order to show the feasibility of the idea. The measured efficiency of the converter was 87,89%. The results show the regulation by input voltage (maximum efficiency of 88,65%) and load resistance (maximum efficiency of 88,42%).

Resumo:

Este artigo apresenta uma metodologia de projeto detalhada do conversor a capacitor chaveado abaixador série-paralelo, com ganho estático de tensão de $1/2$. É apresentado como minimizar a resistência equivalente do conversor, minimizando perdas e aumentando seu rendimento. A regulação de potência de saída é avaliada pelo ajuste da tensão de entrada, resistência de carga ou da resistência equivalente (variando razão cíclica, capacitância ou frequência). Por razão cíclica a regulação é limitada e não se mostrou suficiente para o exemplo. A regulação por capacitância e frequência apresentaram aumento nos picos de corrente. Um protótipo de laboratório de 30 W é utilizado para validar a proposta, apresentando um rendimento de 87,89% no ponto nominal. Os resultados obtidos mostram a regulação por tensão de entrada (rendimento máximo de 88,65%) e resistência de carga (rendimento máximo de 88,42%).

Keywords: Converter; Switched capacitor; Step-down; Design; Output regulation.

Palavras-chaves: Conversor; Capacitor chaveado; Abaixador; Projeto; Regulação de saída.

1. INTRODUÇÃO

O circuito a Capacitor Chaveado (*Switched Capacitor*, SC) em sua configuração básica, consiste de duas chaves semicondutoras de potência e um capacitor, conforme Figura 1(a). O princípio de funcionamento do circuito SC é, por meio do acionamento das chaves, controlar a carga e descarga do capacitor.

Esse circuito pode ser modelado como uma resistência equivalente, sendo seu valor dependente da capacitância e da sua frequência de chaveamento, podendo então a resistência equivalente ser manipulada. Assim, uma das aplicações do circuito SC é em filtros analógicos, emulando a resistência que define a frequência de corte, permitindo a

modificação de características do filtro (Singh and Bansod, 2017). Outra aplicação, um pouco mais recente, do circuito SC é como conversor estático chaveado de potência. Denominado Conversor a Capacitor Chaveado (*Switched Capacitor Converter*, SCC), o conversor consiste de um circuito SC com a adição de um capacitor na saída, conforme Figura 1(b). O capacitor na saída atua como um filtro, permitindo obter uma tensão de saída com baixa ondulação (baixa componente alternada). O conversor nessa topologia é denominado SCC fundamental (Barbi, 2019).

Os SCCs quando comparados aos conversores estáticos chaveados tradicionais (*e.g. buck, boost e buck-boost*) apresentam a vantagem da eliminação do indutor, levando a uma redução do tamanho do circuito (Lee et al., 2016). Entre as desvantagens estão a necessidade de maior número de chaves semicondutoras de potência, ganho estático de tensão fixo, regulação de saída limitada e alto pico de corrente (Cheng, 1998).

* O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001, do Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), da Fundação Araucária (FA) e da Financiadora de Estudos e Projetos (FINEP).

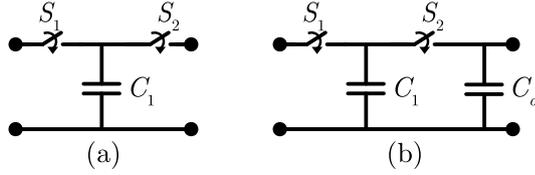


Figura 1. Topologias básicas de circuitos a capacitor chaveado. (a) SC básico. (b) SSC fundamental.

O ganho estático de tensão do conversor é fixo, variando apenas com a topologia do mesmo. As topologias mais básicas de SCC apresentam ganhos estáticos ideais de 1, -1 , $1/2$ ou 2. Outras topologias foram desenvolvidas ou aprimoradas permitindo ganhos estáticos múltiplos do valor base (*e.g.* $1/2$, $1/3$, $1/4$, no caso abaixador, *e.g.* 2, 3, 4, no caso elevador) (Yeung et al., 2004; Barbi, 2019).

A regulação de saída de um SCC fundamental é limitada e geralmente resulta em uma queda de eficiência. Isso porque a regulação se realizada pela mudança na resistência equivalente do conversor impacta diretamente nas perdas, semelhante ao princípio de funcionamento de uma fonte de tensão linear resistiva.

Uma das principais desvantagens do SCC são os picos de corrente. Esses acontecem pois o capacitor é colocado, praticamente, em curto-circuito com a tensão de entrada na primeira etapa e com a tensão de saída durante a segunda etapa de funcionamento. A variação abrupta de tensão sobre o capacitor exige um elevado valor de corrente. O curto-circuito só não ocorre pois há uma chave semicondutora de potência entre o capacitor e a fonte de tensão, que com sua resistência interna (*e.g.* resistência de condução) acaba criado um circuito RC, limitando a corrente elétrica (Yeung et al., 2004). Esse problema é ainda mais grave durante o transitório de partida do conversor, em que os capacitores inicialmente estão descarregados.

Algumas topologias de SCC foram apresentadas na literatura adicionando um indutor ao circuito, conhecidos por SCC híbridos, com o objetivo de amortecer o pico de corrente durante o período de carga e descarga do capacitor e dando a possibilidade de maior regulação do conversor (Shoyama et al., 2005; Setiadi and Fujita, 2018). Entretanto, isso retira a principal característica do conversor que é ausência de indutor.

Diversas topologias de SCC elevadores ou abaixadores foram propostas. Barbi (2019) reúne e apresenta algumas como a célula de comutação *ladder*, conversor abaixador série-paralelo, conversor abaixador série-série, conversor abaixador Fibonacci e conversor de Dickson. Dentre esses, o SCC abaixador série-paralelo ganha destaque devido sua simplicidade e por manter o número inicial de chaves ativas independente do valor do ganho estático de tensão desejado.

O SCC abaixador série-paralelo utiliza um circuito *valley-fill*, composto apenas por dois capacitores e três diodos, no lugar do capacitor C_1 (Martins, 2013). Nessa estrutura o circuito apresenta ganho estático de tensão de $1/2$. É possível obter ganho estático de $1/3$ ao anexar outro cir-

cuito *valley-fill* ao primeiro. Assim, o ganho total pode ser obtido por $1/(n+1)$, no qual n é o número de circuitos *valley-fill* no conversor. Dessa forma o ganho estático de tensão é obtido alterando o número de diodos e capacitores, mas não de chaves ativas.

A viabilidade prática desse conversor vem sendo averiguada por meio de protótipos. Em Martins (2013) é utilizado um SCC CC-CC abaixador série-paralelo de ganho estático $1/4$, reduzindo a tensão de 48 V para 12 V, alimentando uma carga com potência de 120 W. Em Bolzan et al. (2016) são utilizados dois conversores CC-CC: um SCC abaixador série-paralelo com ganho estático de $1/5$ em série com um SCC fundamental, a fim de regular a saída. Os conversores são utilizados para alimentar uma lâmpada tubular de LED de 23 W a partir da rede de energia elétrica.

Entretanto, na literatura em geral não há uma análise aprofundada do projeto e/ou limitações do conversor. Assim, esse artigo analisa e projeta o SCC CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$ para uma carga resistiva, apresentando de maneira detalhada as principais decisões de projeto (*e.g.* escolha dos semicondutores, valores de capacitâncias, frequência de chaveamento e razão cíclica) e considerações relevantes (*e.g.* rendimento, carga e esforços nos semicondutores, regulação de saída).

2. CONVERSOR A CAPACITOR CHAVEADO CC-CC ABAIXADOR SÉRIE-PARALELO COM GANHO ESTÁTICO DE TENSÃO $1/2$

A Figura 2 apresenta o SCC CC-CC abaixador série-paralelo com ganho estático de tensão $1/2$. A fonte V_i representa a tensão CC de entrada, S_1 e S_2 as chaves semicondutoras de potência, R_1 e R_2 as resistências de condução das chaves, C_1 e C_2 os capacitores chaveados, d_1 , d_{2a} e d_{2b} os diodos e C_o o capacitor de saída. A carga (R_o) é considerada puramente resistiva. Além disso, para simplificar a análise será considerado que $R_1 = R_2 = R$ e que $C_1 = C_2 = C$.

A Figura 3 apresenta os sinais de acionamento das chaves S_1 e S_2 . Na figura T_s é o período de chaveamento das chaves, D_1 é a razão entre o tempo ativo de S_1 e o período de chaveamento e D_2 é a razão entre o tempo ativo de S_2 e o período de chaveamento.

A Figura 4 apresenta as etapas de funcionamento do conversor. Na Figura 4(a) é apresentada a primeira etapa de funcionamento, na qual os capacitores estão em série e são carregados por V_i , considerando $C_1 = C_2$ tem-se que $V_{C1} = V_{C2} \approx V_i/2$. Na segunda etapa, Figura 4(b),

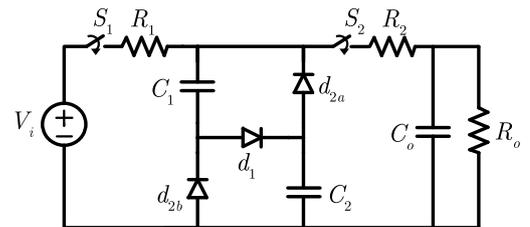


Figura 2. SCC abaixador série-paralelo com ganho estático de tensão $1/2$.

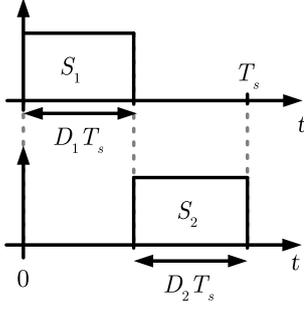


Figura 3. Sinais de acionamento das chaves S_1 e S_2 .

os capacitores estão ligados em paralelo e descarregando sobre a carga, resultando em uma tensão de saída $V_o \approx V_i/2$. Por essa associação de capacitores, primeira etapa em série e segunda etapa em paralelo, que o conversor recebe o nome de série-paralelo.

A Figura 5 apresenta o modelo equivalente do conversor, em valores médios. O modelo consiste em uma Resistência Equivalente (R_{eq}) e um transformador CC idealizado, representando o ganho estático do conversor.

Para o equacionamento é considerado que a ondulação de tensão na saída é tão baixa que pode ser desconsiderada. Como em regime permanente a corrente média em um capacitor é nula, o equacionamento é realizado em função de valores médios e considerando o circuito como um divisor resistivo.

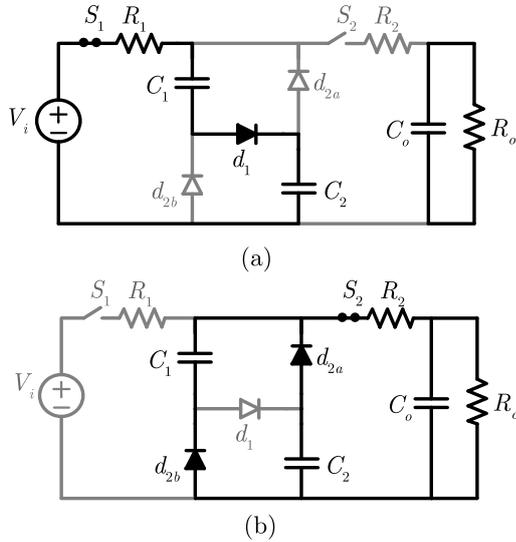


Figura 4. Etapas de operação do conversor em regime permanente: a) primeira etapa b) segunda etapa.

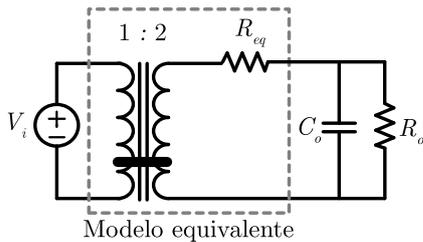


Figura 5. Modelo equivalente do conversor.

2.1 Principais Equações

Em Martins (2013) é apresentada a resistência equivalente para um conversor com ganho estático de $1/4$. Nesse trabalho são apresentadas novas equações e novas análises para o conversor com ganho estático de $1/2$. Em (1) é apresentada a R_{eq} do conversor.

$$R_{eq} = \frac{1}{2 \cdot C \cdot f_s} \cdot \left(e^{\left[\left(\frac{D_1}{\tau_1} + \frac{D_2}{\tau_2} \right) \cdot \frac{1}{f_s} \right]} - 1 \right) \times \left[\left(e^{\left(\frac{D_1}{\tau_1 \cdot f_s} \right)} - 1 \right) \cdot \left(e^{\left(\frac{D_2}{\tau_2 \cdot f_s} \right)} - 1 \right) \right]^{-1} \quad (1)$$

em que:

- f_s é a frequência de chaveamento de S_1 e S_2 ;
- τ_1 é a constante de tempo do circuito na primeira etapa de funcionamento;
- τ_2 é a constante de tempo do circuito na segunda etapa de funcionamento.

O valor mínimo de R_{eq} , denominado Resistência Equivalente Mínima (R_{eq_min}), permite minimizar as perdas do conversor. Para obter esse valor mínimo, primeiramente aplica-se o limite da frequência tendendo ao infinito em (1), obtendo (2). Resultando em uma R_{eq2} em função de D_1 , D_2 , C e das constantes de tempo τ_1 e τ_2 genéricas, facilitando a aplicação da equação caso sejam adicionadas outras não idealidades resistivas ao circuito.

$$R_{eq2} = \lim_{f_s \rightarrow \infty} R_{eq} = \frac{D_1 \cdot \tau_2 + D_2 \cdot \tau_1}{2 \cdot C \cdot D_1 \cdot D_2} \quad (2)$$

Considerando $D_2 = (1 - D_1)$, $\tau_1 = (R \cdot C)/2$ e $\tau_2 = 2(R \cdot C)$ (constantes de tempo do conversor em análise) obtém-se (3).

$$R_{eq2} = R \cdot \frac{1 + 3 \cdot D_1}{4 \cdot D_1 \cdot (1 - D_1)} \quad (3)$$

Em (4) é apresentada a Resistência Equivalente Normalizada ($\overline{R_{eq2}}$) em relação a resistência de condução das chaves ativas, que representa proporcionalmente o valor de R_{eq2} dependente apenas de D_1 . Sendo obtida dividindo R_{eq2} por R , em (3).

$$\overline{R_{eq2}} = \frac{R_{eq2}}{R} = \frac{1 + 3 \cdot D_1}{4 \cdot D_1 \cdot (1 - D_1)} \quad (4)$$

Derivando (4) em função de D_1 e igualando a zero obtém-se (5). O intuito é identificar o valor de D_1 , entre 0 e 1, que quando aplicado em (3) minimize R_{eq2} .

$$\frac{d\overline{R_{eq2}}}{dD_1} = \frac{d}{dD_1} \left(\frac{1 + 3 \cdot D_1}{4 \cdot D_1 \cdot (1 - D_1)} \right) = 0 \quad (5)$$

O valor encontrado para D_1 é de $1/3$, sendo consequentemente D_2 igual a $2/3$. Assim, aplicando esse valor de D_1 em (3) obtém-se a R_{eq_min} , que é definida conforme (6).

$$R_{eq_min} = \frac{9}{4} \cdot R \quad (6)$$

A potência média (P_o) na carga é apresentada em (7).

$$P_o = \left(\frac{V_i}{2} \right)^2 \cdot \frac{R_o}{(R_{eq} + R_o)^2} \quad (7)$$

Portanto, é possível alterar a potência de saída do conversor variando a tensão de entrada, a resistência equivalente do conversor e/ou a resistência de carga.

O rendimento (η) do conversor pode ser estimado em função das resistências equivalente e de carga ou em função das tensões de entrada e saída, conforme (8).

$$\eta = 1 - \frac{R_{eq}}{R_{eq} + R_o} = 2 \cdot \frac{V_o}{V_i} \quad (8)$$

O ganho estático de tensão (G) do conversor é dado em (9).

$$G = \frac{V_o}{V_i} = \frac{1}{2} \cdot \eta \quad (9)$$

A corrente de saída (I_o) do conversor é expressa em (10). E a tensão de saída (V_o) do conversor está apresentada em (11).

$$I_o = \frac{V_i}{2} \cdot \frac{1}{R_{eq} + R_o} \quad (10)$$

$$V_o = \frac{V_i}{2} - I_o \cdot R_{eq} \quad (11)$$

As capacitâncias C e C_o são dadas por (12) e (13), respectivamente. Na equação ΔV_c é a ondulação de tensão em C e ΔV_{c_o} é a ondulação de tensão em C_o .

$$C = \frac{I_o}{2 \cdot f_s \cdot \Delta V_c} \quad (12)$$

$$C_o = \frac{I_o \cdot D_1}{f_s \cdot \Delta V_{c_o}} \quad (13)$$

3. PROJETO DO CONVERSOR

Para o projeto do conversor SCC devem ser definidas tensão de entrada, frequência de chaveamento e resistência de condução das chaves ativas, além da carga.

A tensão de entrada depende comumente da aplicação. Esse valor influencia em alguns aspectos do conversor, isso será demonstrado posteriormente.

O valor da frequência de chaveamento tem influência na resistência equivalente, conforme (1). Quanto maior o valor da frequência menor será o valor da resistência, se aproximando do seu valor mínimo. Assim, opta-se por um valor elevado de frequência, acima da faixa de ruído audível (de 20 Hz até 20 kHz) e não tão elevado que aumente as perdas por comutação, assim a escolha é semelhante aos conversores chaveados estáticos de potência tradicionais.

O valor da resistência de condução das chaves semicondutoras de potência varia de acordo com a chave que será utilizada. Assim, para definir a chave que será aplicada é considerado os esforços de tensão e corrente sobre a mesma, então busca-se um modelo compatível para obter seu valor de resistência de condução via *datasheet*. A Tabela 1 apresenta os esforços de tensão e corrente nos semicondutores, baseado no circuito da Figura 2 considerando R inexistente, tornado o conversor ideal. A tensão que os capacitores C_1 , C_2 e C_o estão submetidos é $V_i/2$.

As chaves ativas estão sob o mesmo valor de tensão, dependente da tensão de entrada V_i . As correntes dependem da razão cíclica D_1 e da corrente de saída I_o . O valor de D_1 foi definido anteriormente (buscando o valor mínimo de

Tabela 1. Esforços de tensão e corrente, em regime permanente, nos semicondutores.

Componente	Tensão	Corrente
Chave S_1	$V_i/2$	$I_o/(2 \cdot D_1)$
Chave S_2	$V_i/2$	$I_o/(1 - D_1)$
Diodo d_1	$V_i/2$	$I_o/(2 \cdot D_1)$
Diodo d_{2a}	$V_i/2$	$I_o/(1 - D_1)$
Diodo d_{2b}	$V_i/2$	$I_o/(1 - D_1)$

R_{eq}) em $1/3$, e quando aplicado nas equações das correntes resulta no mesmo esforço de corrente ($1,5 \cdot I_o$) para ambas as chaves ativas. Com isso é escolhido o mesmo modelo de chave ativa para S_1 e S_2 .

3.1 Definições de projeto

Para esse projeto é definido que a tensão de entrada será de 50 V_{CC} , a frequência de chaveamento de 20 kHz e a carga resistiva de 20 Ω . Esses valores, apesar da escolha arbitrária, são valores típicos. Fundamentado nisso, os esforços sobre as chaves são apresentados na Tabela 2.

Tabela 2. Esforços sobre as chaves.

Componente	Tensão	Corrente
Chave S_1	25 V	1,858 A
Chave S_2	25 V	1,858 A

É importante observar que esses valores foram obtidos considerando o conversor ideal, apenas para estimar o esforço de tensão e corrente nas chaves. Ao adicionar as não idealidades esses valores serão diferentes. Será considerado, por disponibilidade em laboratório, a utilização de um MOSFET IRF540, com tensão dreno-fonte (*drain to source voltage*, V_{ds}) de 100 V, corrente de dreno (*current-continuous drain*, I_d) de 20 A e resistência de condução ($R_{DS(on)}$ representada por R) de 77 $m\Omega$ (Vishay, 2011). Com o valor de R é possível calcular o valor de $R_{eq,min}$. Utilizando (6) obtém-se que $R_{eq,min} = 173,25 m\Omega$.

A Tabela 3 apresenta os parâmetros de projeto do conversor.

Tabela 3. Parâmetros de projeto.

Parâmetro	Valor
Tensão de entrada (V_i)	50 V_{CC}
Frequência de chaveamento (f_s)	20 kHz
Resistência de condução das chaves (R)	77 $m\Omega$
Resistência equivalente mínima ($R_{eq,min}$)	173,25 $m\Omega$
Resistência de carga (R_o)	20 Ω
Razão cíclica da chave S1 (D_1)	1/3
Razão cíclica da chave S2 (D_2)	2/3

3.2 Projeto

Aplicando os parâmetros da Tabela 3 em (7) obtém-se que $P_o = 30,716 W$ e, conforme (8), o rendimento do conversor é de $\eta = 0,991$. Os resultados obtidos são considerando a resistência equivalente do conversor como $R_{eq,min}$, assim obtendo o melhor desempenho possível (minimizando as perdas). Entretanto, o valor real de R_{eq} é diferente, conforme (1).

Então busca-se aproximar R_{eq} de seu valor mínimo a fim de obter a mesma potência e rendimento calculados anteriormente. Para o cálculo de R_{eq} o único parâmetro

ainda não definido é C . A Figura 6 apresenta R_{eq} em função da variação de C , a partir de $C = 1 \mu F$.

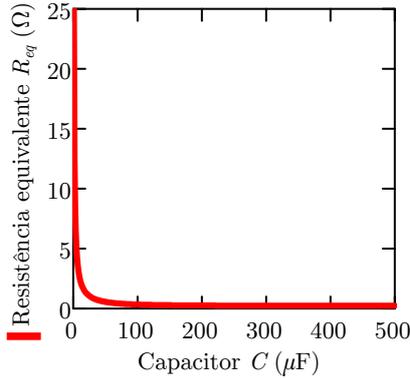


Figura 6. Resistência equivalente em função da capacitância dos capacitores chaveados.

Na Figura 6 conforme o valor de C aumenta o valor de R_{eq} tende à R_{eq_min} . Para os capacitores é escolhido o valor comercial de $470 \mu F$, por disponibilidade em laboratório, resultando em uma R_{eq} de $179,31 m\Omega$. É possível reduzir o valor da resistência aumentando o valor da capacitância, entretanto o valor já está próximo do seu valor mínimo, resultando em uma diferença percentual relativa à R_{eq_min} de $3,948\%$.

Com o valor real de R_{eq} o conversor apresenta uma potência de saída de $P_o = 30,697 W$ com rendimento de $\eta = 0,991$, semelhante aos valores calculados anteriormente, e uma ondulação de tensão nos capacitores chaveados de $0,066 V(0,264\%)$, conforme (12). O capacitor de saída C_o é utilizado para minimizar a ondulação de tensão na carga (R_o). Utilizando $C_o = C$, tem-se uma ondulação de $0,044 V(0,176\%)$, conforme (13).

3.3 Regulação de potência de saída

A análise do conversor será realizada na regulação da potência de saída em relação a variação dos parâmetros do circuito. A regulação de potência de saída no conversor se dá por meio da variação da resistência de carga, tensão de entrada e/ou resistência equivalente, conforme (7). Esses parâmetros serão analisados separadamente para apresentar seus efeitos e consequências.

Resistência de carga: A Figura 7 apresenta a potência de saída e o rendimento do conversor em função da resistência de carga R_o , a partir de $R_o = R_{eq}$.

Analisando a Figura 7 observa-se que a potência de saída e o rendimento do conversor são inversamente proporcionais para a variação de R_o , com a possibilidade de aumento ou diminuição da potência. Diminuir a resistência de carga afeta o rendimento e, conseqüentemente, o ganho estático de tensão do conversor, conforme (9). Foi observado também os esforços sobre os componentes, os quais responderam de maneira direta a variação de potência no conversor.

Tensão de entrada: A Figura 8 apresenta a potência de saída e o rendimento do conversor em função da tensão de entrada V_i , a partir de $V_i = 1 V$.

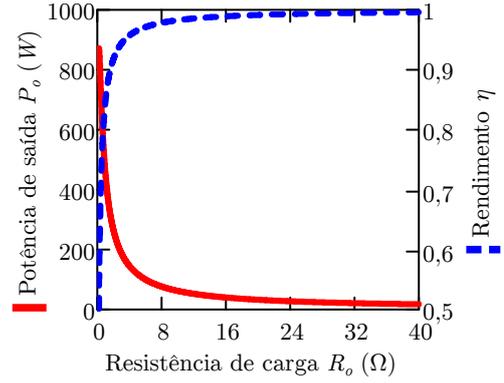


Figura 7. Potência de saída e rendimento em função da resistência de carga.

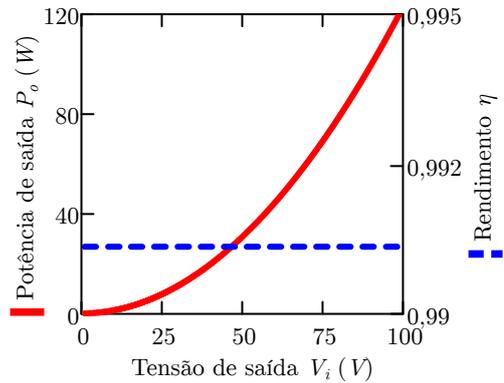


Figura 8. Potência de saída e rendimento em relação a tensão de entrada.

Observando a Figura 8 a potência de saída pode ser regulada diretamente pela variação da tensão de entrada, enquanto o rendimento se mantém fixo. Isso ocorre porque, conforme (8), o rendimento depende das resistências R_{eq} e R_o e essas não foram alteradas e a razão tensão de saída por tensão de entrada se mantém constante. Também foram avaliados os esforços sobre os componentes, os quais responderam de forma direta a variação de tensão de entrada.

Resistência equivalente: Como a R_{eq} obtida nesse projeto está próxima do seu valor mínimo, só é possível aumentar seu valor e assim causar uma redução na potência de saída.

A Figura 9 apresenta a potência de saída e o rendimento do conversor em função da resistência equivalente R_{eq} , a partir da R_{eq} do projeto. Na Figura 9 observa-se a diminuição da potência de saída com o aumento da resistência equivalente do conversor, ao custo da diminuição do rendimento do circuito.

A R_{eq} do conversor, apresentada em (1), dependente de quatro parâmetros: as não idealidades do conversor em τ_1 e τ_2 (nesse caso foram consideradas apenas as resistências de condução das chaves), a razão cíclica D_1 (substituindo D_2 por $1 - D_1$), a frequência de chaveamento f_s e os capacitores chaveados C_1 e C_2 , representados por C . Esses parâmetros também serão trabalhados separadamente.

Além das não idealidades resistivas, que geralmente são as únicas representadas, os componentes reais possuem capa-

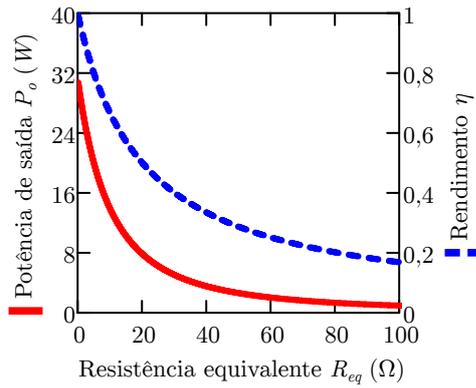


Figura 9. Potência de saída e rendimento em relação a resistência equivalente.

citâncias e indutâncias intrínsecas. Ademais, os valores das não idealidades são suscetíveis a variação da temperatura e outros fatores, tornando assim complexa a manipulação do circuito por tal meio.

- **Razão cíclica:** Limitando D_1 de 0,1 até 0,9, o maior valor possível de R_{eq} é aproximadamente 4,5 vezes maior que seu valor mínimo, conforme (4). Para situações nas quais a resistência de carga é muito maior que a resistência equivalente (como nesse caso em que R_o é aproximadamente 112 vezes maior que R_{eq}), uma variação de 4,5 vezes em R_{eq} tem baixa influência na potência de saída.

A Figura 10 apresenta a potência e a resistência equivalente em função da razão cíclica D_1 . Como é possível observar na Figura 10, dentro dos limites usuais para D_1 , de 0,1 até 0,9, a potência de saída varia pouco. A variação de D_1 para além dos limites acaba elevando consideravelmente o esforço de corrente nos componentes, conforme Tabela 1.

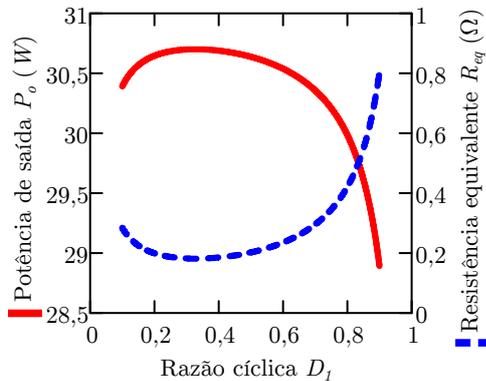


Figura 10. Potência de saída e resistência equivalente em relação a razão cíclica D_1 .

- **Capacitância:** A Figura 11 apresenta a potência de saída e a resistência equivalente em função do capacitor C , a partir de $C = 1 \mu F$. Analisando a Figura 11 é possível reduzir a potência de saída reduzindo o valor de capacitância.

A variação da potência de saída por C apresenta alguns problemas. O ponto de operação de C na curva de potência está em uma região muito íngreme, assim uma pequena oscilação no valor de C pode resultar em uma grande variação de potência na saída do conversor. Com a redução

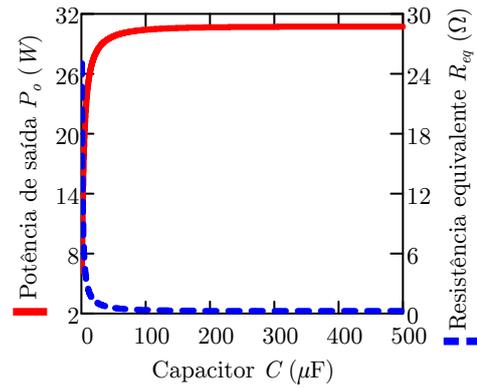


Figura 11. Potência de saída e resistência equivalente em relação a capacitância C .

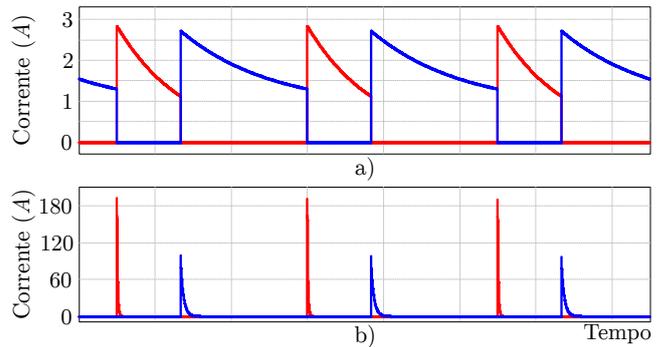


Figura 12. Corrente nas chaves S_1 (em vermelho) e S_2 (em azul). a) para $C = 470 \mu F$ b) para $C = 5 \mu F$.

de C a ondulação de tensão nos capacitores chaveados aumenta consideravelmente. Essa aumento da ondulação resulta em um aumento dos picos de corrente durante o chaveamento.

Foi realizada uma simulação para avaliar as correntes nas chaves semicondutoras com a redução de C . Foi utilizado o *software* PSIM versão 11.1.6, com passo de simulação de $10 ns$, tempo de $3,84 ms$ até $3,99 ms$ (3 ciclos inteiros e em regime permanente).

A Figura 12 apresenta as correntes nas chaves S_1 e S_2 . Comparando as correntes observa-se o efeito negativo da redução de C , elevando picos da corrente de entrada (mesma corrente da chave S_1) próximos de $3 A$ para picos próximos de $180 A$, um aumento aproximadamente de 6000%. Quanto maior a ondulação de tensão em C maiores serão os picos de corrente de entrada. O aumento do capacitor de saída C_o ajuda apenas no amortecimento da corrente da chave S_2 .

- **Frequência de chaveamento:** A Figura 13 apresenta a potência de saída e a resistência equivalente em função da frequência de chaveamento f_s , a partir de $f_s = 100 Hz$.

Observando a Figura 13 conclui-se que é possível reduzir a potência de saída do circuito com a redução da frequência de operação. Entretanto, além de operar em baixa frequência (dentro da faixa de ruído audível), a variação de frequência apresenta os mesmos problemas de variar C , como o ponto de operação em região íngreme da

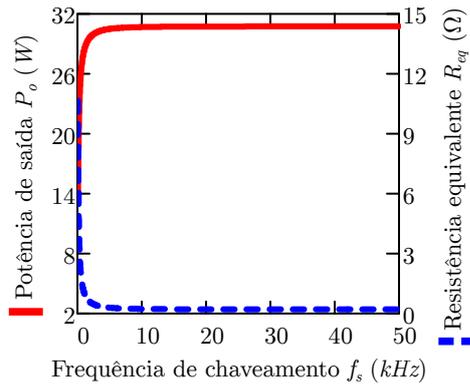


Figura 13. Potência de saída e resistência equivalente em relação a frequência de chaveamento.

curva e o aumento da ondulação de tensão nos capacitores chaveados, resultando em elevados picos de corrente.

Por essas análises, fica decidido para a implementação do conversor SCC realizar apenas as variações de tensão de entrada e de resistência de carga.

4. IMPLEMENTAÇÃO E RESULTADOS

O protótipo do conversor SCC abaixador série-paralelo foi implementado utilizando os componentes da Tabela 4.

Tabela 4. Componentes do protótipo.

Componentes	
Chaves S_1 e S_2	MOSFET IRF540N
Diodos d_1 , d_2 e d_3	MUR460
Capacitores C_1 , C_2 e C_o	$470 \mu F - 100 V$

Para o acionamento dos MOSFETs foi utilizado dois *drivers* de topologia *push-pull*. A potência dos *drivers* não é incluída na medição do rendimento. Para evitar que as chaves acionassem ao mesmo tempo foi criado um tempo morto de aproximadamente 1% do período de chaveamento no sinal de acionamento.

A Figura 14 apresenta as tensões de entrada, de saída e o rendimento do conversor SCC projetado. O resultado foi obtido utilizando o Analisador de Potência Yokogawa WT1800E. Na prática o conversor apresentou ganho estático de 0,465 e rendimento de 87,896%.

As Figuras 15 e 16 apresentam as tensões nas chaves S_1 e S_2 e nos diodos d_1 , d_{2a} e d_{2b} , respectivamente. Esses resultados foram obtidos com osciloscópio.

Nas Figuras 15 e 16 observa-se uma ressonância nas tensões, mais acentuada nas tensões sobre a chave S_2 e sobre o diodo d_{2b} . A ressonância inicia durante o fechamento de uma das chaves e tende a atenuar, até que a outra chave fecha e o processo recomeça, sendo possivelmente causada pela ressonância entre os elementos parasitas do circuito. Além disso observa-se os valores máximos de tensão sobre os semicondutores, próximos da tensão $V_i/2$ conforme projeto.

Ainda com o analisador de potência Yokogawa, foram realizadas duas baterias de testes: a primeira variando a tensão de entrada e a segunda variando a carga do conversor. As Figuras 17 e 18 apresentam a potência de saída

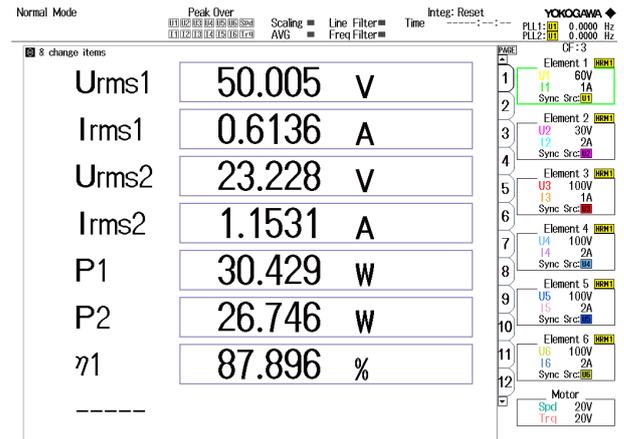


Figura 14. Resultado do analisador de energia para valores nominais de projeto.

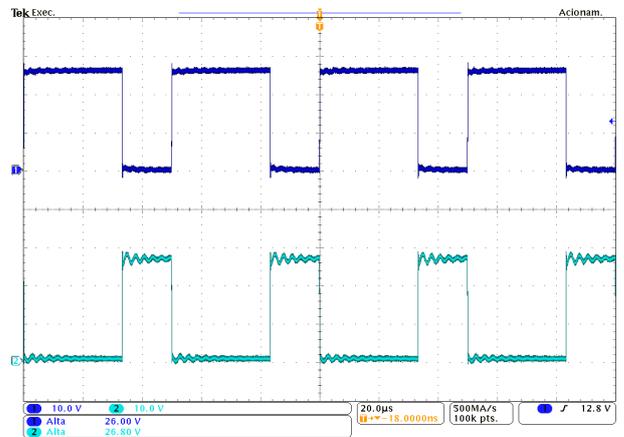


Figura 15. Tensão da chave S_1 (Canal 1) e tensão da chave S_2 (Canal 2).

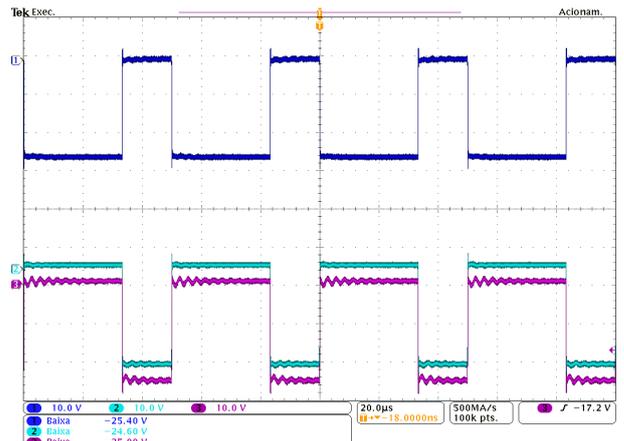


Figura 16. Tensão do diodo d_1 (Canal 1), do diodo d_{2a} (Canal 2) e do diodo d_{2b} (Canal 3).

do conversor em função da variação de tensão de entrada e da variação de resistência de carga, respectivamente.

Comparando as Figuras 17 e 18 com as Figuras 8 e 9 nota-se que a potência de saída do protótipo do conversor comporta-se conforme o esperado teoricamente em relação

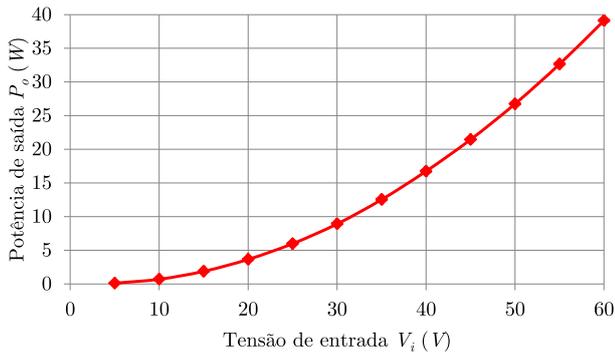


Figura 17. Resultados práticos da potência de saída em função da tensão de entrada.

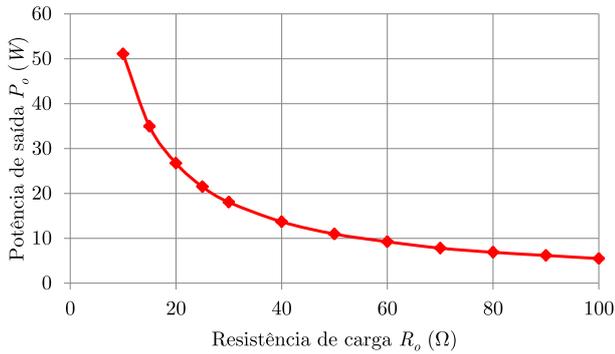


Figura 18. Resultados práticos da potência de saída em função da resistência de carga.

a variação de tensão de entrada ou a variação da resistência de carga.

A Figura 19 apresenta o rendimento do conversor em função da potência de saída, para a variação de tensão de entrada e para a variação de resistência de carga.

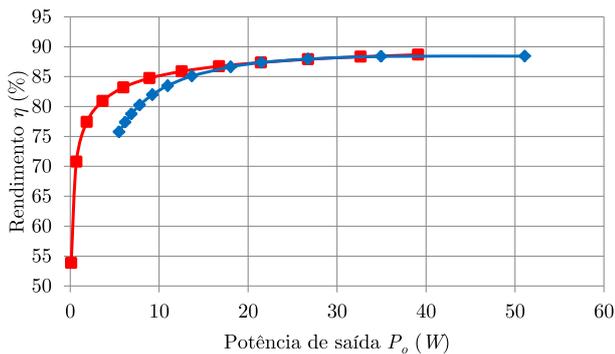


Figura 19. Resultados práticos do rendimento em função da tensão de entrada (em vermelho) e da resistência de carga (em azul).

De acordo com a Figura 19, o conversor apresenta máximo rendimento de 88,65% para a tensão de entrada igual a 60 V e máximo rendimento de 88,42% para uma resistência de carga de 10 Ω . O protótipo do conversor apresenta maior rendimento com o aumento da potência, isso é atribuído ao fato de que em baixa potência as perdas se tornam mais relevantes e reduzem o rendimento.

5. CONCLUSÃO

O projeto evidencia a importância de reduzir o valor da resistência equivalente do conversor para o seu valor mínimo, minimizando perdas. Teoricamente, quanto maior for a razão resistência de carga por resistência equivalente, maior o rendimento. Entretanto, na prática o aumento da resistência de carga diminui a potência do circuito, ocasionando com que perdas (como nos diodos, nos capacitores, perdas por chaveamento, entre outras) se tornem mais relevantes e reduzam o rendimento do circuito.

As variações de tensão de entrada e de resistência de carga apresentaram desempenho satisfatório, permitindo uma variação de potência razoável. A variação por razão cíclica se mostrou insuficiente (para o projeto aqui apresentado, na qual a resistência de carga é muito maior que a resistência equivalente). As regulações de potência por alteração nas capacitâncias ou na frequência de chaveamento se mostraram insatisfatórias, fazendo com que o circuito apresente picos de corrente muito maiores que o pico quando o conversor está operando conforme projeto.

REFERÊNCIAS

- Barbi, I. (2019). *Conversores a capacitor chaveado*. Edição do autor, Florianópolis, SC, Brasil.
- Bolzan, P.E., Luz, P.C.V., Barboza, I.B., and do Prado, R.N. (2016). Comparative analysis among three switched capacitor converters to feed a led tubular lamp. In *2016 12th IEEE International Conference on Industry Applications (INDUSCON)*, 1–6.
- Cheng, K.W.E. (1998). New generation of switched capacitor converters. In *PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196)*, volume 2, 1529–1535 vol.2.
- Lee, E.S., Choi, B.H., Nguyen, D.T., Jang, G.C., and Rim, C.T. (2016). Versatile led drivers for various electronic ballasts by variable switched capacitor. *IEEE Transactions on Power Electronics*, 31(2), 1489–1502.
- Martins, G.B. (2013). *Estudos de conversores a capacitores chaveados*. Master's thesis, Universidade Federal de Santa Catarina, Florianópolis - SC.
- Setiadi, H. and Fujita, H. (2018). Control and performance of new asymmetrical operation for switched-capacitor-based resonant converters. In *2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia)*, 626–631.
- Shoyama, M., Deriha, F., and Ninomiya, T. (2005). Operation analysis and control of resonant boost switched capacitor converter with high efficiency. In *2005 IEEE 36th Power Electronics Specialists Conference*, 1966–1971.
- Singh, N. and Bansod, P.P. (2017). Switched-capacitor filter design for ecg application using 180nm cmos technology. In *2017 International Conference on Recent Innovations in Signal processing and Embedded Systems (RISE)*, 439–443.
- Vishay (2011). Datasheet IRF540, SiHF540. Document Number: 91021, 21-Mar.
- Yeung, Y.P.B., Cheng, K.W.E., Ho, S.L., Law, K.K., and Sutanto, D. (2004). Unified analysis of switched-capacitor resonant converters. *IEEE Transactions on Industrial Electronics*, 51(4), 864–873.