

MELHORIA DO DESEMPENHO DE ALGORITMOS DE SINCRONIZAÇÃO UTILIZANDO CONTROLADOR PROPORCIONAL RESSONANTE E BANCO DE FILTROS ADAPTATIVOS DE ATRASO

NICOLAU KELLYANO LEITE DANTAS* MAURÍCIO BELTRÃO DE ROSSITER CORRÊA† ANTONIO MARCUS NOGUEIRA LIMA† EDUARDO GOMES PEREIRA‡ JOÃO PAULO RAMOS AGRA MÉLLO§

*Mestrando no Programa de Pós-Graduação em Engenharia Elétrica, PPgEE/UFPG

†Departamento de Engenharia Elétrica

‡Instituto Federal de Educação Ciência e Tecnologia de Pernambuco

§Doutorando no Programa de Pós-Graduação em Engenharia Elétrica, PPgEE/UFPG
Campina Grande, Paraíba, Brasil

nicolau.dantas@ee.ufcg.edu.br, mbrcorrea@dee.ufcg.edu.br, amnlima@dee.ufcg.edu.br,
eduardopereira@ipojuca.ifpe.edu.br, joao.mello@ee.ufcg.edu.br

Abstract— Phase-locked-loop (PLL) algorithms are usually utilized to make the synchronization between the grid and the electronic equipment connected to it. This article discusses performance enhancements in phase and frequency tracking for PLL algorithms. Initially it is proposed to use the proportional resonant (PR) controller to improve the performance of the classic PLL. Then it is proposed to use an adaptive delay bank filter (ADB filter) to solve the problem of the steady state phase error of the square wave PLL when the grid presents harmonic components. Simulations and experimental results are presented to validate the proposed methods.

Keywords— Phase locked loop (PLL), proportional integral (PI) control, proportional resonant (PR) control, adaptive delay bank filter (filter ADB), synchronization, harmonics elimination.

Resumo— Geralmente, os algoritmos *phase locked loop* (PLL) são utilizados para fazer a sincronização entre à rede elétrica e o equipamento eletrônico conectado a ela. Este artigo discute melhorias de desempenho no rastreamento de fase e frequência para algoritmos de PLLs. Inicialmente é proposto a utilização do controlador proporcional ressonante (PR) para melhorar o desempenho do PLL clássico. Em um segundo momento é proposto a utilização de um banco de filtros adaptativos de atraso (filtro ADB) para resolver o problema do erro de fase em estado estacionário, do PLL de onda quadrada quando a rede apresenta componentes harmônicas. Simulações e resultados experimentais são apresentados para validar os métodos propostos.

Palavras-chave— *Phase locked loop* (PLL), controlador proporcional integral (PI), controlador proporcional ressonante (PR), banco de filtros adaptativos de atraso (filtro ADB), sincronização, eliminação de harmônicos.

1 Introdução

Normalmente, para equipamentos conectados à rede como conversores de energia, filtros ativos, retificadores controlados e outros, os algoritmos *phase locked loop* (PLL) são usados para obter a sincronização entre à rede elétrica e o equipamento. No entanto, sistemas conectados à rede devem ser capazes de rejeitar perturbações relacionadas a problemas de qualidade de energia, como a presença de harmônicos, variação de frequência, saltos do ângulo de fase, entre outros. Essas perturbações podem introduzir erros na estimativa do ângulo de fase da rede elétrica, causando um mau funcionamento do equipamento conectado a mesma. Em resumo, rastreamento rápido do ângulo de fase, detecção de fase com precisão, capacidade de imunidade a ruído e robustez em relação aos distúrbios presentes na rede elétrica, são requisitos prioritários para implementar algoritmos de PLLs com desempenho adequado.

É muito comum na literatura utilizar um controlador proporcional integral (PI) no bloco do *loop filter* (LF) de um PLL, proporcionando um desempenho considerado satisfatório. No entanto, os controladores PI são propensos a desvantagens conhecidas, incluindo a incapacidade de rastrear

uma referência senoidal sem erro nulo de estado estacionário, além de problemas relacionados à filtragem harmônica de baixa ordem devido a limitações na largura de banda (Teodorescu and Blaabjerg, 2004). Algumas estratégias podem ser utilizadas para melhorar o desempenho do controlador PI, como aumento do ganho proporcional, o que resulta em uma largura de banda maior e pode reduzir os limites de estabilidade. O controlador proporcional ressonante (PR) pode ser usado no lugar do controlador PI para eliminar o erro de estado estacionário e fornecer seletividade de rejeição harmônica (Teodorescu and Blaabjerg, 2004; Yada and Murthy, 2016).

Em (Best, 2003) e (Gardner, 2005) uma estrutura de PLL monofásica foi projetada para aplicações analógicas, onde o oscilador controlado por tensão (VCO) foi implementado através de uma onda quadrada ao invés de usar uma onda senoidal. Este método não precisa de um multiplicador analógico no bloco detector de fase (PD) e é adequado para implementações de hardware com entrada senoidal pura (Ama et al., 2013). A estratégia de onda quadrada pode ser útil para PLLs implementados em microcontroladores, processadores de sinais digitais (DSPs) e arranjos de portas programáveis em campo (FPGA). Uma vantagem

dessa estratégia em relação ao PLL clássico (VCO senoidal) é reduzir o uso de memória associado às longas tabelas de busca que são necessárias para armazenar as formas de onda senoidais com precisão razoável (Ama et al., 2013). De acordo com (Gardner, 2005), o PLL de onda quadrada não é aplicável a sinais de entrada com harmônicos porque o erro de fase em estado estacionário não é zero.

A partir das discussões acima, este trabalho propõe: (1) a melhoria do desempenho de rastreamento de fase e frequência do PLL clássico usando um controlador PR ideal no lugar do controlador PI, e (2) uma melhoria para o PLL de onda quadrada usando um banco de filtros adaptativos de atraso (filtro ADB) (Lubura et al., 2015) baseado na estrutura de cancelamento de sinal atrasado em cascata (CDSC) (Svensson et al., 2007; Wang and Li, 2011; Neves et al., 2012; Nascimento et al., 2013), para resolver o problema do erro de fase. Resultados de simulações e experimentais são apresentados para validar os algoritmos propostos.

2 PLLs monofásicos

Os conceitos básicos dos PLLs monofásicos são detalhados brevemente nesta seção.

2.1 Modelo clássico de PLL

O diagrama de blocos básico do PLL clássico está ilustrado na Fig. 1. Observa-se que o bloco PD é implementado por um simples multiplicador e pelo filtro de média móvel (MAF) (Golestan et al., 2014; Robles et al., 2010). Já no bloco LF é utilizado um controlador PI, e o VCO consiste em uma função senoidal cujo argumento é fornecido por um integrador.

Considerando que o sinal aplicado na entrada do PLL seja dado por

$$\nu_i = A_1 \text{sen}(\omega_1 t + \phi_1) = A_1 \text{sen}(\theta_i), \quad (1)$$

onde A_1 , ω_1 e ϕ_1 são respectivamente o valor de pico, a velocidade angular (frequência) e o ângulo de fase da componente fundamental.

O sinal gerado pelo VCO é representado por

$$\nu_o = \cos(\omega_o t + \phi_o) = \cos(\theta_o). \quad (2)$$

O sinal de erro gerado pelo multiplicador no bloco PD pode ser escrito da seguinte maneira

$$\nu_m = \frac{A_1}{2} \left\{ \begin{array}{l} \text{sen}((\omega_1 - \omega_o)t + (\phi_1 - \phi_o)) + \\ \text{sen}((\omega_1 + \omega_o)t + (\phi_1 + \phi_o)) \end{array} \right\}. \quad (3)$$

Considerando que os termos de alta frequência na saída do multiplicador serão totalmente filtrados pelo filtro MAF, restando apenas os termos de baixa frequência em (3), então o sinal de erro pode ser reescrito como:

$$\nu_f = \frac{A_1}{2} \text{sen}((\omega_1 - \omega_o)t + (\phi_1 - \phi_o)). \quad (4)$$

Considerando que o PLL entra em regime quando $\omega_1 \approx \omega_o$, (4) pode ser simplificado, obtendo-se

$$\nu_f = \frac{A_1}{2} \text{sen}(\phi_1 - \phi_o). \quad (5)$$

Observando (4), verifica-se que o sinal de erro produzido pelo bloco PD é não linear devido à presença da função senoidal. Contudo, quando o erro for muito pequeno, i.e., $\phi_1 \approx \phi_o$, a saída do bloco PD pode ser linearizada em torno de um ponto de operação, desde que a seguinte condição seja satisfeita:

$$\text{sen}(\phi_1 - \phi_o) \approx \text{sen}(\theta_1 - \theta_o) \approx \theta_1 - \theta_o. \quad (6)$$

Portanto, em regime permanente o termo relevante do erro é dado por (7), e o PLL pode ser representado através de um modelo linearizado para pequenos sinais de acordo com a Fig. 2.

$$\nu_f = \frac{A_1}{2} (\theta_1 - \theta_o). \quad (7)$$

2.2 PLL com realimentação em onda quadrada

A Fig. 3 ilustra um PLL de onda quadrada monofásico. Observa-se que há uma semelhança com o PLL clássico apresentado na Fig. 1, com a principal diferença de que o bloco PD é realimentado por uma onda quadrada (Fig. 4), ao invés de usar uma tensão de $\nu_o = \cos(\omega_o t + \phi_o) = \cos(\theta_o)$. O sinal ν_{os} é obtido na saída do gerador de onda quadrada e depende do ângulo de fase θ_o de acordo com a função $f(\theta_o)$ definido na Fig. 3. Uma característica dessa estrutura é que a avaliação das funções sen e cos é computada fora do loop do PLL e não influencia seu desempenho (Ama et al., 2013). Uma vantagem de ter um VCO em onda quadrada é que o bloco PD se torna uma simples operação “multiplica por um” que pode ser implementado de forma simples.

Expressando ν_{os} através das séries de Fourier

$$\nu_{os} = -\frac{4}{\pi} \sum_{j=1}^{\infty} (-1)^j \frac{\cos[(2j-1)\omega_o t + (2j-1)\phi_o]}{2j-1}, \quad (8)$$

e considerando que a tensão de entrada do PLL de onda quadrada seja dado por uma tensão senoidal sem distorções, $\nu_i = A_1 \text{sen}(\omega_1 t + \phi_1)$, a saída do multiplicador $\nu_m = \nu_i \cdot \nu_{os}$ pode ser representada por (11), onde a mesma apresenta uma componente cc e termos oscilantes.

Supondo que os termos de alta frequência de ν_m sejam atenuados pelo bloco MAF, o sinal de filtragem $\overline{\nu_f}$ é representado por

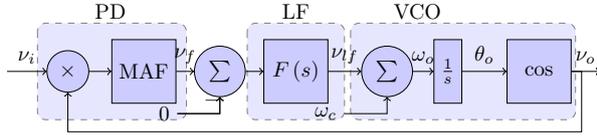


Figura 1: Diagrama de blocos básico do PLL clássico.

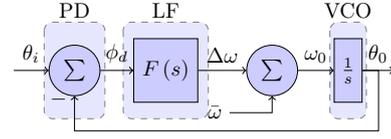


Figura 2: Modelo linear para o PLL clássico.

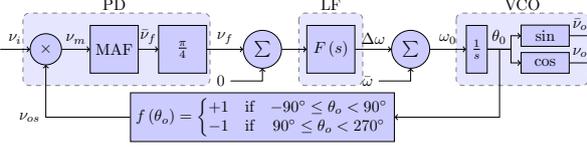


Figura 3: Diagrama de blocos básico para o PLL de onda quadrada.

$$\bar{\nu}_f = \frac{4}{\pi} \frac{A_1}{2} \text{sen}(\phi_1 - \phi_o). \quad (9)$$

Observa-se uma semelhança com o sinal de (5), exceto por causa do ganho em amplitude de $4/\pi$. O PLL de onda quadrada representado na Fig. 3 utiliza um controlador PI no bloco LF.

Considerando um cenário em que a tensão de entrada contém componentes harmônicas

$$\nu_i = \sum_{k=1}^{\infty} A_k \text{sen}(k\omega_1 t + \phi_k), \quad (10)$$

a saída do multiplicador pode ser representada por (12), onde é notado a presença de uma componente cc e termos oscilantes. Supondo que o bloco MAF atenua os termos de alta frequência de (12), a saída do bloco PD é representada por (13).

$$\nu_m = -\frac{2}{\pi} \left\{ \sum_{j=1}^{\infty} \frac{(-1)^j A_1}{2j-1} \left\{ \begin{array}{l} \text{sen}[(2-2j)\omega_1 t + \phi_1 - (2j-1)\phi_o] + \\ + \text{sen}[2j\omega_1 t + \phi_1 + (2j-1)\phi_o] \end{array} \right\} \right\} \quad (11)$$

$$\nu_m = -\frac{2}{\pi} \left\{ \sum_{k=1}^{\infty} \sum_{j=1}^{\infty} \frac{(-1)^j A_k}{2j-1} \left\{ \begin{array}{l} \text{sen}[(k-2j+1)\omega_1 t + \phi_k - (2j-1)\phi_o] + \\ + \text{sen}[(k+2j-1)\omega_1 t + \phi_k + (2j-1)\phi_o] \end{array} \right\} \right\} \quad (12)$$

$$\bar{\nu}_f = \frac{2}{\pi} \left[A_1 \text{sen}(\phi_1 - \phi_o) - \frac{A_3}{3} \text{sen}(\phi_3 - 3\phi_o) + \dots - \frac{(-1)^j A_k}{2j-1} \text{sen}[\phi_{2j-1} - (2j-1)\phi_o] \right] \quad (13)$$

3 Controlador proporcional ressonante

O controlador proporcional ressonante (PR) é definido como (Teodorescu and Blaabjerg, 2004):

$$G_{PR}(s) = K_p + K_i \frac{s}{s^2 + \omega^2}, \quad (14)$$

onde ω é a frequência fundamental do sistema em rad/s, K_p é o ganho proporcional e K_i é o ganho integral. O diagrama de Bode do controlador PR é ilustrado na Fig. 5 para $K_p = 1$, $\omega = 2\pi 60$ rad/s

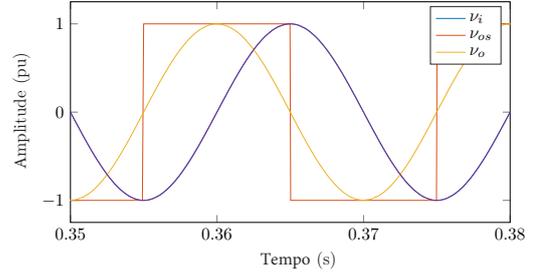


Figura 4: Onda quadrada e tensão de saída ν_o do PLL.

Comparando as expressões (9) e (13), verifica-se que a inclusão de harmônicos em ν_i resulta em novos termos de componentes cc. No entanto, supondo que o controlador force ν_f e $\bar{\nu}_f$ para zero, de acordo com (13), a inclusão de harmônicos em ν_i pode levar a $\phi_1 - \phi_o \neq 0$. Isso explica o erro de fase para o PLL de onda quadrada operando com ν_i distorcido. Em (Ama et al., 2013) é mostrado um exemplo que é revisto aqui, onde é considerado uma entrada ν_i contendo a presença da terceira harmônica com amplitude de $A_3 = 0,3A_1$, e $\text{sen}(\phi_3 - 3\phi_o) = \pm 1$. Isto resulta em $\bar{\nu}_f = \frac{2}{\pi} [A_1 \text{sen}(\phi_1 - \phi_o) \pm \frac{0,3}{3} A_1 1]$. Quando o PLL está travado, $\bar{\nu}_f = 0$, o que resulta em um erro de fase igual a $\phi_1 - \phi_o = \text{sen}^{-1}(\pm 0,3/3) = \pm 5,73^\circ$. Na seção 4 é apresentada uma solução para esse problema.

e $K_i = 100$.

Observa-se na Fig. 5 que o controlador possui um alto ganho em uma banda de frequência estreita centrada em torno da frequência de ressonância, e que há ganhos muito baixos em outras frequências. A largura da banda de frequência depende da constante de tempo integral K_i . Um K_i baixo leva a uma banda muito estreita, enquanto um alto K_i leva a uma banda mais larga. Observa-se também que o integrador do controla-

dor PR integrará apenas frequências muito fechadas na frequência de ressonância e não apresentará erro estacionário ou mudança de fase (Teodorescu and Blaabjerg, 2004).

Uma das vantagens de usar o controlador PR é fornecer a compensação harmônica seletiva, que pode ser feita usando uma combinação de vários controladores ressonantes. A dinâmica não é afetada pelo uso de vários controladores ressonantes porque eles são usados perto da frequência de ressonância. A compensação harmônica seletiva é dada por

$$G_{PR}(s) = K_p + \sum_{h=3,5,7,\dots} \frac{K_{ih}s}{s^2 + (h\omega)^2}, \quad (15)$$

onde h é a ordem da harmônica compensada.

4 PLL de onda quadrada com filtro ADB para eliminação seletiva de harmônicos

Conforme discutido na seção 2.2, se ν_i e ν_{os} tiverem harmônicos de mesma ordem, eles contribuem para a componente cc de ν_m resultando em um erro de fase. Uma solução para isto consiste em eliminar todos os harmônicos relevantes que existem na tensão de entrada ν_i . Para isto é inserido um filtro ADB na estrutura do PLL de onda quadrada como ilustrado na Fig. 6.

O filtro ADB consiste em vários blocos de filtros, cada um com a função de eliminar um harmônico específico conforme ilustra a Fig. 7. A harmônica de k -ésima ordem ($k = 2, 3, \dots$) que deve ser eliminada é adicionada à sua própria imagem atrasada para $T/2k$, onde T é o período da componente fundamental do sinal da rede. Então se o terceiro harmônico deve ser eliminado ($k = 3$), ele deve ser adicionado à sua própria imagem atrasada de $t_{3d} = T/6$, para a eliminação da quarta harmônica é necessário um atraso de $t_{4d} = T/8$, e assim por diante.

Existem dois sinais na entrada do filtro ADB, um deles é o sinal da rede ν_i que deve ser filtrado, e o outro é o valor da frequência da rede estimada pelo PLL (ω_o). A frequência obtida pelo PLL é usada para o cálculo do período da componente fundamental estimada da rede ($T_o = 2\pi/\omega_o$) necessário para determinar o tempo de atraso $T_o/2k$ para cada bloco do filtro.

Embora a utilização do filtro ADB para eliminar a influência de harmônicos de alta ordem no erro de fase ($\phi_1 - \phi_o$) da estrutura do PLL de onda quadrada parece ser atraente e de fácil implementação, esse método tem suas limitações. Em (Lubura et al., 2015) foi apresentado uma análise detalhada do impacto do filtro ADB na fase e amplitude da componente fundamental, do sinal da rede, para uma estrutura SRF-PLL. De (Lubura et al., 2015) observa-se que na saída do filtro ADB

a amplitude da componente fundamental se multiplica e sua fase é atrasada se comparada com o sinal da componente fundamental na entrada do filtro ADB. A equação geral para o sinal da componente fundamental na saída do filtro ADB para a eliminação da k -ésima harmônica, é representada por

$$\nu_k(t) = C_k V_1 \text{sen}(\omega_1 t - \phi_k), \quad (16)$$

onde C_k é o coeficiente de multiplicação da amplitude e ϕ_k é o atraso de fase da componente fundamental na saída do banco para a eliminação da k -ésima harmônica. C_k e ϕ_k podem ser calculados por:

$$C_k = \prod_{n=2}^k \left(2 \cos \left(\frac{\pi}{2n} \right) \right), \quad (17)$$

$$\phi_k = \phi_1 + \sum_{n=2}^k \frac{\pi}{2n}. \quad (18)$$

Para fazer a estrutura do PLL da Fig. 6 corretamente, sem o problema da amplitude e atraso de fase na saída do filtro ADB, (Lubura et al., 2015) propôs alterações na estrutura do filtro ADB da seguinte maneira:

- Para que a amplitude da componente fundamental permaneça inalterada depois de passar pelo banco de filtros, ela deve ser dividida pelo coeficiente C_k correspondente na saída do banco.
- Para eliminar o atraso de fase causado pela passagem do sinal pelo banco de filtros, é necessário que a componente fundamental seja atrasada pelo intervalo ângulo/tempo:

$$\phi_{add} = \left\{ \begin{array}{l} \pi - \phi_k \text{ para } \phi_k \leq \pi \\ 2\pi - \phi_k \text{ para } \phi_k > \pi \end{array} \right\}, \quad (19)$$

$$t_{add} = \left\{ \begin{array}{l} T/2 - t_{kd} \text{ para } t_{kd} \leq T/2 \\ T - t_{kd} \text{ para } t_{kd} > T/2 \end{array} \right\}. \quad (20)$$

- Multiplicar por -1 o fator $1/C_k$, o que implica a rotação da componente fundamental para um ângulo adicional de π , se $\phi_k \leq \pi$.

O filtro ADB modificado é mostrado na Fig 8.

5 Resultados de simulações

Nesta seção, o desempenho dos PLLs é avaliado através de simulações digitais considerando diferentes cenários para a rede elétrica. A frequência de amostragem utilizada nas simulações é de 25 kHz e a frequência da rede elétrica é de 50 Hz. Para o processo de discretização, utilizou-se a aproximação de Tustin, fornecendo equivalência de fase para representações contínuas e discretas.

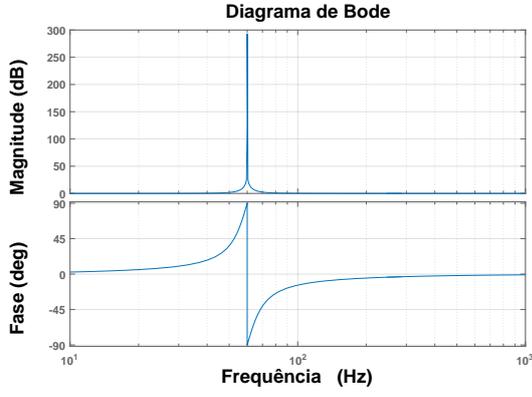


Figura 5: Diagrama de Bode do controlador PR.

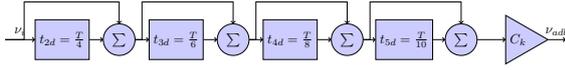


Figura 7: Diagrama de blocos básico do filtro ADB para eliminação seletiva de harmônicos.

5.1 Simulações para o PLL clássico

Para verificar a performance dos controladores PI e PR no PLL clássico, foram realizadas algumas simulações, onde desejou-se sincronizar o sinal de saída com uma tensão senoidal de 1 pu e tendo seu argumento afetado por um degrau de fase (90°) no instante de $t = 0,6$ s.

Os ganhos para o controlador PI foram obtidos de acordo com (Teodorescu et al., 2011), considerado um tempo de estabelecimento $t_s = 50$ ms e um fator de amortecimento de $\xi = 0,707$, resultando em $Kp = 184$ e $Ki = 16928$. Para o controlador PR foi utilizado $Kp = 80$ e $Ki = 0,2$. As funções de transferência discretas para o controlador PR e para o controlador PI são dadas por:

$$G_{PR}(z) = \frac{319,6 - 639,2z^{-1} + 319,6z^{-2}}{4 - 8z^{-1} + 4z^{-2}}, \quad (21)$$

$$G_{PI}(z) = \frac{368,7 - 367,3z^{-1}}{2 - 2z^{-1}}. \quad (22)$$

Observa-se da Fig. 1 a inclusão do filtro MAF com comprimento de janela $T_j = NT_s$ para eliminar o termo oscilante múltiplo da frequência fundamental ω_1 , onde N é um número inteiro que define a ordem do filtro. De acordo com (3), o termo oscilante gerado pelo multiplicador no bloco PD (ν_m) é duas vezes a frequência fundamental ($2\omega_1$), logo um MAF com comprimento de janela $T/2$ pode ser usado para filtrar o termo indesejado. A função de transferência discreta do MAF é

$$G_{MAF}(z) = \frac{1}{250} \frac{1 - z^{-250}}{1 - z^{-1}}. \quad (23)$$

A Fig. 9 ilustra o desempenho do PLL clássico utilizando os controladores PI e PR. A Fig. 9(a) ilustra a saída do PLL clássico utilizando o

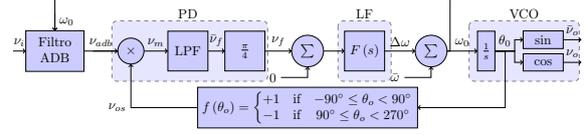


Figura 6: Diagrama de blocos básico para o PLL de onda quadrada com filtro ADB.

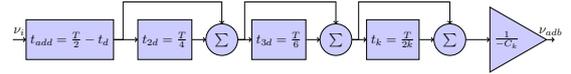


Figura 8: Diagrama de blocos básico do filtro ADB modificado.

controlador PI, a Fig. 9(b) ilustra a saída do PLL clássico utilizando o controlador PR, a Fig. 9(c) a frequência rastreada pelo PLL com controlador PI (vermelho) e a frequência estimada pelo PLL com controlador PR (azul) e por último, a Fig. 9(d) ilustra o sinal de erro para o PLL com controlador PI (vermelho) e para o PLL com controlador PR (azul). Pode-se observar nesses gráficos que o PLL, independentemente do controlador utilizado, obtém erro nulo em estado estacionário, além de obter a frequência com precisão. É observado que a resposta do PLL com controlador PR obtém um menor valor de pico na detecção da frequência durante os transitórios, além de ter uma resposta precisa e mais rápida. A partir dos resultados, quando a rede apresenta um salto de fase, algumas observações podem ser feitas do PLL com controlador PR: (1) a frequência é estimada com precisão, (2) a resposta transitória da frequência após ocorrer o salto de fase é de aproximadamente 6 ciclos (120 ms), (3) o transitório na frequência atinge um valor de pico cerca de 52 Hz antes do salto de fase, e 56,5 Hz após o salto de fase, e (4) o transitório no sinal de erro atinge um máximo de 0,15 pu antes do distúrbio e de 0,5 pu após o distúrbio.

5.2 Simulações para o PLL de onda quadrada com filtro ADB

Para as simulações do PLL de onda quadrada e do PLL de onda quadrada com filtro ADB, foram utilizados o filtro MAF e o controlador PI da seção anterior. A Fig. 10 mostra as formas de onda simuladas para o sinal de entrada ν_i e para o sinal de saída ν_o , para o PLL de onda quadrada e para o PLL de onda quadrada com filtro ADB. O caso ideal, no qual o sinal de entrada é uma tensão senoidal com ângulo de fase zero, é mostrado na Fig. 10(a). Como esperado, os resultados para

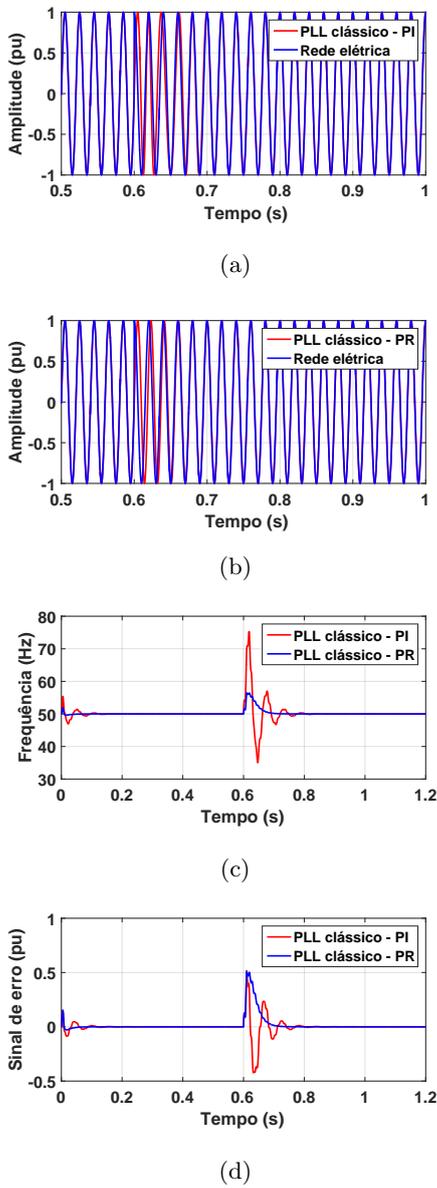


Figura 9: Resultados das simulações para o PLL clássico quando a rede sofre um salto de fase. (a) Saída do PLL clássico com controlador PI. (b) Saída do PLL clássico com controlador PR. (c) Frequência rastreada pelo PLL clássico com controlador PI e PR. (d) Sinal de erro do PLL clássico com controlador PI e PR.

os dois PLLs foram iguais, com erro de fase em estado estacionário zero entre ν_o e ν_i .

A Fig. 10(b) ilustra o efeito da injeção de um terceiro componente harmônico com amplitude igual a $A_3 = 0,3$ em fase com a componente fundamental. Mais uma vez, os PLLs atingiram erro nulo em estado estacionário.

Agora, considerando que o terceiro componente harmônico de ν_i , injetado anteriormente, esteja defasado em 90° da componente fundamental, é possível ver na Fig. 10(c), que o PLL de onda quadrada apresentou um erro de estado estacionário calculado na seção 2.2, i.e., $\phi_1 - \phi_o = -5,73^\circ$, onde o ângulo negativo significa uma tensão fundamental em atraso. Para o PLL de onda quadrada com filtro ADB, observou-se que esse pro-

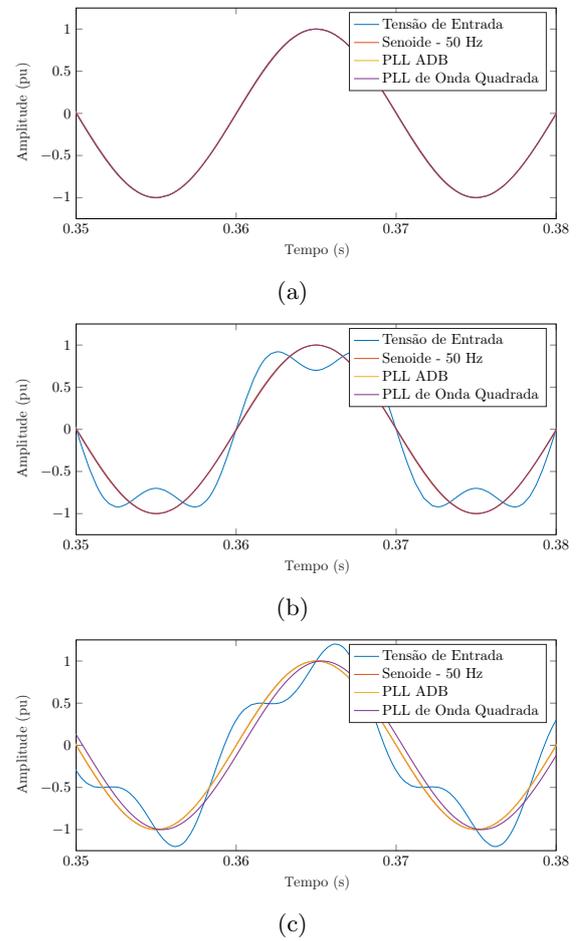


Figura 10: Resultados das simulações. (a) Tensão de entrada senoidal sem distorções. (b) Tensão de entrada senoidal com injeção de 30% da terceira harmônica. (c) Tensão de entrada senoidal com injeção de 30% da terceira harmônica defasada de 90° da componente fundamental.

blema não existiu, ou seja, o PLL atingiu erro de fase nulo em estado estacionário. Isso ocorreu porque o filtro ADB eliminou o harmônico específico sem permitir que ele fosse adicionado à saída do bloco PD.

6 Resultados experimentais

Os resultados dos testes experimentais apresentados neste trabalho foram obtidos usando uma placa de processamento de sinal digital. Um processador de sinal digital (DSP) TMS320F28377S - 200 MHz fabricado pela Texas Instruments foi empregado para executar os algoritmos de PLLs e gerar os sinais de entrada nos testes experimentais. Para os experimentos foram utilizados os mesmos parâmetros das simulações.

6.1 Experimentos para o PLL clássico

As Figs. 11 e 12 ilustram os resultados experimentais para um cenário em que ocorre um salto de fase de 90° na tensão da rede. Esses testes foram utilizados para avaliar o desempenho do PLL clássico utilizando os controladores PR e PI. Nesse

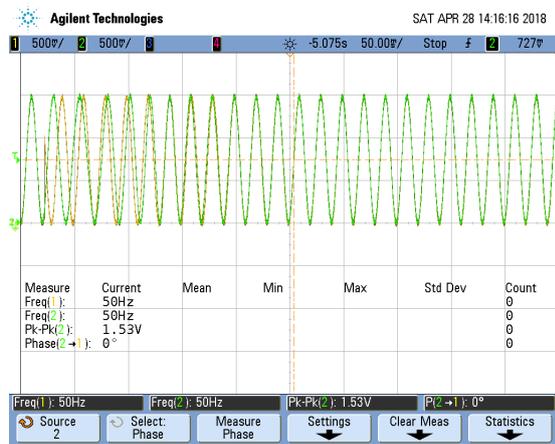


Figura 11: Resultado experimental do PLL clássico com controlador PI. Tensão de entrada em amarelo e saída do PLL em verde.

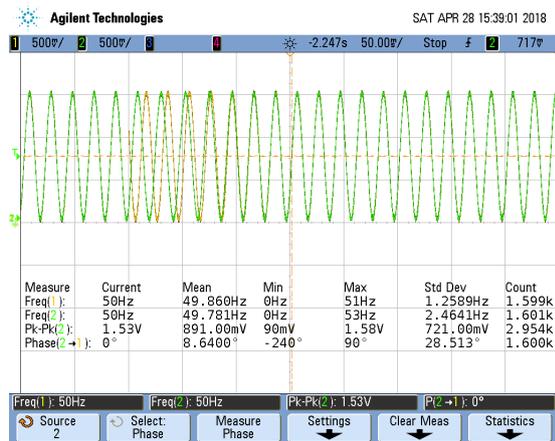


Figura 12: Resultado experimental do PLL clássico com controlador PR. Tensão de entrada em amarelo e saída do PLL em verde.

caso, ambos os métodos obtiveram uma resposta estável. Observa-se que o PLL com controlador PR teve boa dinâmica, alta precisão e obteve um rastreamento de fase mais rápido que a versão com controlador PI, confirmando os resultados obtidos nas simulações.

6.2 Experimentos para o PLL de onda quadrada com filtro ADB

A Fig. 13 mostra a saída do PLL de onda quadrada e a tensão de entrada v_i com a presença do terceiro harmônico com uma amplitude de 0,3 pu e defasado 90° da componente fundamental. A Fig. 14 compara a saída do PLL de onda quadrada com uma função senoidal de 50 Hz. Observa-se um erro de fase em estado estacionário de -5° , o que é próximo ao erro de fase obtido na simulação e discutido na seção 2.2. Isso confirma a ineficiência do PLL de onda quadrada para uma rede com essas características. A Fig. 15 ilustra o sinal de entrada (amarelo) e a saída do filtro ADB (verde). A partir da Fig. 15, observa-se que após a resposta transitória de menos de um período do sinal da rede, a componente fundamental passou pelo filtro ADB modificado sem qualquer distor-

ção. A Fig. 16 compara a saída do PLL com uma função senoidal de 50 Hz. Para este caso, verifica-se que o PLL atingiu erro nulo no estado estacionário, conforme obtido na simulação.

7 Conclusões

Neste artigo, foi apresentado: (1) uma análise detalhada e comparação de desempenho da estrutura clássica de PLL utilizando o controlador PI e o controlador PR proposto, e (2) uma implementação de um PLL de onda quadrada com filtro ADB para eliminação seletiva de harmônicos. Através dos resultados apresentados, observou-se que o uso do controlador PR no *loop filter* do PLL clássico apresentou resposta rápida e boa precisão na detecção de fase do sinal de entrada, além de alta rejeição contra distorções do tipo salto de fase. No quesito velocidade de resposta do sistema, o PLL com controlador PR foi mais rápido do que o PLL com controlador PI. Assim, espera-se que o projeto do *loop filter* com o controlador PR seja uma boa escolha para aplicações de PLLs. Além disso, verificou-se que o PLL de onda quadrada com filtro ADB eliminou o erro de fase em estado estacionário inerente ao PLL de onda quadrada quando o sinal de entrada conteve harmônicos.

Referências

- Ama, N. R. N., Martinz, F. O., Matakas, L. and Kassab, F. (2013). Phase-locked loop based on selective harmonics elimination for utility applications, *IEEE Transactions on Power Electronics* **28**(1): 144–153.
- Best, R. E. (2003). *Phase Locked Loops-Design, Simulation and Applications*, 5th edn, McGraw Hill.
- Gardner, F. M. (2005). *Phaselock Techniques*, 3th edn, Wiley.
- Golestan, S., Ramezani, M., Guerrero, J. M., Freijedo, F. D. and Monfared, M. (2014). Moving average filter based phase-locked loops: Performance analysis and design guidelines, *IEEE Transactions on Power Electronics* **29**(6): 2750–2763.
- Lubura, S., Soja, M., Lale, S., Ristovic, M. and Ikic, M. (2015). Adaptive delay bank filter for selective elimination of harmonics in SRF-PLL structures, *2015 IEEE 15th International Conference on Environment and Electrical Engineering (EEEIC)*, pp. 308–312.
- Nascimento, P. S. B., de Souza, H. E. P., Neves, F. A. S. and Limongi, L. R. (2013). FPGA implementation of the generalized delayed signal cancelation–phase locked loop method for detecting harmonic sequence components in

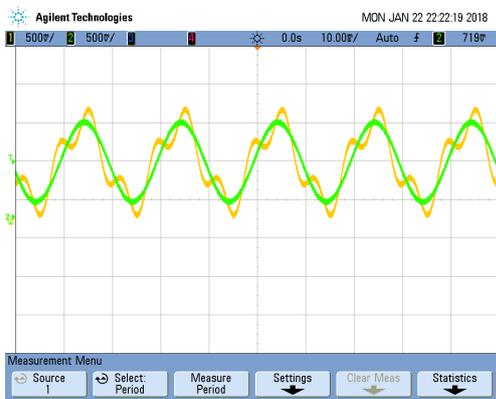


Figura 13: Resultados experimentais do PLL de onda quadrada. Tensão de entrada (amarelo) com injeção de terceira harmônica defasada 90° da componente fundamental. Saída do PLL de onda quadrada (verde).

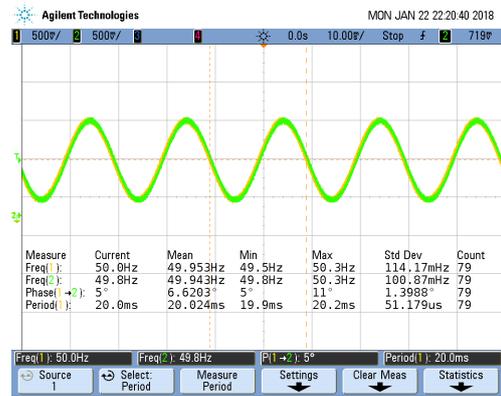


Figura 14: Resultados experimentais do PLL de onda quadrada. Referência senoidal de 50 Hz (amarelo) e saída do PLL de onda quadrada (verde).

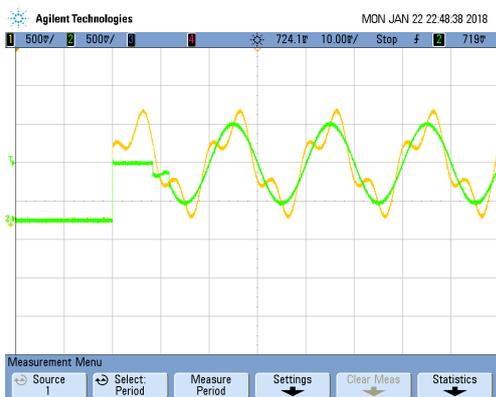


Figura 15: Resultados experimentais do PLL de onda quadrada com filtro ADB. Sinal de entrada (amarelo) e saída do filtro ADB (verde).

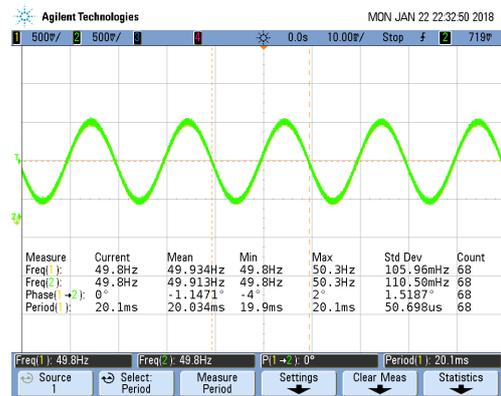


Figura 16: Resultados experimentais do PLL de onda quadrada com filtro ADB. Referência senoidal de 50 Hz (amarelo) e saída do PLL de onda quadrada com filtro ADB (verde).

three-phase signals, *IEEE Transactions on Industrial Electronics* **60**(2): 645–658.

Neves, F. A. S., de Souza, H. E. P., Cavalcanti, M. C., Bradaschia, F. and Bueno, E. J. (2012). Digital filters for fast harmonic sequence component separation of unbalanced and distorted three-phase signals, *IEEE Transactions on Industrial Electronics* **59**(10): 3847–3859.

Robles, E., Ceballos, S., Pou, J., Martin, J. L., Zaragoza, J. and Ibanez, P. (2010). Variable-frequency grid-sequence detector based on a quasi-ideal low-pass filter stage and a phase-locked loop, *IEEE Transactions on Power Electronics* **25**(10): 2552–2563.

Svensson, J., Bongiorno, M. and Sannino, A. (2007). Practical implementation of delayed signal cancellation method for phase-sequence separation, *IEEE Transactions on Power Delivery* **22**(1): 18–26.

Teodorescu, R. and Blaabjerg, F. (2004). Proportional-resonant controllers. a new

breed of controllers suitable for grid-connected voltage-source converters, *Proceedings of The 9th International Conference on Optimization of Electrical and Electronic Equipments, Optim 2004*, Vol. 3, pp. 9–14.

Teodorescu, R., Liserre, M. and Rodríguez, P. (2011). *Grid Converters for Photovoltaic and Wind Power Systems*, 1st edn, John Wiley & Sons.

Wang, Y. F. and Li, Y. W. (2011). Grid synchronization PLL based on cascaded delayed signal cancellation, *IEEE Transactions on Power Electronics* **26**(7): 1987–1997.

Yada, H. K. and Murthy, M. S. R. (2016). Phase locked loop techniques for power quality improvement in polluted grids, *Power Electronics, Intelligent Control and Energy Systems (ICPEICES), IEEE International Conference on*.