

IMPLEMENTAÇÃO EM FPGA DE MODULADOR PWM PARA CONVERSORES MULTINÍVEIS

WILSON CESAR SANT'ANA*, CAMILA SALOMON†, GERMANO LAMBERT-TORRES*, ERIK BONALDI*,
BRUNO GAMA†, ROBSON GONZATTI†, RONDINELI PEREIRA†, LUIZ EDUARDO BORGES-DA-SILVA†,
DENIS MOLLIKA‡, JOSELINO SANTANA FILHO‡

**Instituto Gnarus
Itajubá, Minas Gerais, Brasil*

*†Universidade Federal de Itajubá - UNIFEI
Itajubá, Minas Gerais, Brasil*

*‡EDP São Paulo Distribuição de Energia
São Paulo, São Paulo, Brasil*

Emails: wilson_santana@ieee.org, camilapsalomon@gmail.com, germanoltorres@gmail.com,
erik@InstitutoGnarus.com.br, brrgama@gmail.com, bauwelz@gmail.com,
rondinelirp@gmail.com, leborgess@gmail.com, denis.mollica@edpbr.com.br,
joselino.filho@edpbr.com.br

Abstract— This work presents the implementation of a Phase-Shift multilevel PWM to be used in FPGA boards in order to control cascaded H-bridge converters. The Phase-Shift PWM technique is explained, using as a main building block the well known unipolar PWM. Each VHDL developed block is explained in detail and simulated. The whole system is fully modular and can be used to control an arbitrary number of H-bridges simply by repeating blocks (and properly calculating its initialization inputs with the provided equations). The modulator is implemented in a DE0-nano board (with Altera/Intel FPGA) but its code can be used in any FPGA board (of any vendor). Experimental results are presented for a seven-level converter (composed of three cascaded H-bridges).

Keywords— FPGA, Multilevel converters, PWM.

Resumo— Este trabalho apresenta a implementação de um modulador PWM multinível (por técnica Phase-Shift) para ser utilizado em placas FPGA de forma a se controlar conversores cascata de pontes H. A técnica Phase-Shift PWM é explicada, tomando como base a já bem conhecida modulação PWM unipolar. Cada bloco VHDL desenvolvido é explicado em detalhes e simulado. O sistema como um todo é totalmente modular e pode ser utilizado para o controle de um número arbitrário de pontes H simplesmente pela repetição de blocos (e pelo cálculo dos parâmetros de inicialização destes blocos de acordo com as equações fornecidas). O modulador foi implementado em uma placa DE0-nano (com FPGA Altera/Intel) mas seu código pode ser utilizado em qualquer modelo de placa com FPGA (de qualquer fabricante). Resultados experimentais são apresentados com base em um conversor para sete níveis de tensão (composto por três pontes H em cascata).

Palavras-chave— Conversores Multiníveis, FPGA, Modulação PWM.

1 Introdução

Conversores baseados em dispositivos de eletrônica de potência têm sido cada vez mais utilizados em aplicações que fazem interface com a rede elétrica moderna. Entretanto, os dispositivos eletrônicos utilizados nestes conversores possuem limitações em termos de tensão de bloqueio e corrente direta, ficando clara a necessidade da correta associação dos dispositivos em topologias que permitam os níveis desejados de potência. Em (Braga and Barbi, 2000) é apresentada uma revisão bibliográfica sobre estas topologias. Dentre as topologias apresentadas em (Braga and Barbi, 2000), pode-se destacar a de pontes H em cascata, ilustrada na Figura 1, devido a sua fácil modularidade.

Independente da topologia, os dispositivos empregados precisam ser comandados de forma a conduzirem corrente ou bloquearem tensão. A forma mais comum com que estes dispositivos são

comandados é por meio de modulação por largura de pulsos (PWM - do inglês *Pulse Width Modulation*). A maioria dos kits de desenvolvimento de baixo custo possuem sistemas de geração de pulsos PWM. Embora algumas aplicações de utilidade industrial implementadas nestas plataformas possam ser encontradas na literatura (por exemplo em (Silva et al., 2017) com Arduino, ou (Cheng et al., 2017) com Raspberry PI), os módulos PWM destas placas são muito limitados e não atendem aos requerimentos de conversores multiníveis.

Em (Sant'Ana et al., 2018), é apresentado um procedimento de programação dos módulos PWM do DSP TMS320F28335 (da Texas Instruments) visando aplicação em conversores multiníveis. Embora esses módulos PWM sejam muito superiores (e altamente configuráveis) do que os dos kits de baixo custo, ainda assim eles são disponíveis em quantidade limitada. O TMS320F28335, por exemplo, apresenta apenas seis módulos PWM - o que permite o controle de

apenas três pontes H em cascata.

Fica clara a necessidade do uso de um dispositivo que possibilite maior configurabilidade e maior número de saídas. Neste sentido, os FPGAs se apresentam como a solução ideal. Este trabalho apresenta a implementação em FPGA de um modular PWM para conversores multiníveis. A seção 2 apresenta uma introdução teórica sobre o processo de modulação por portadoras defasadas no tempo. A seção 3 apresenta uma descrição detalhada dos blocos desenvolvidos para o modulador, incluindo suas simulações. A seção 4 apresenta resultados experimentais do modulador, implementado em um kit de desenvolvimento DE0-nano (com FPGA Altera/Intel), controlando um inversor de sete níveis de tensão alimentado com banco de baterias.

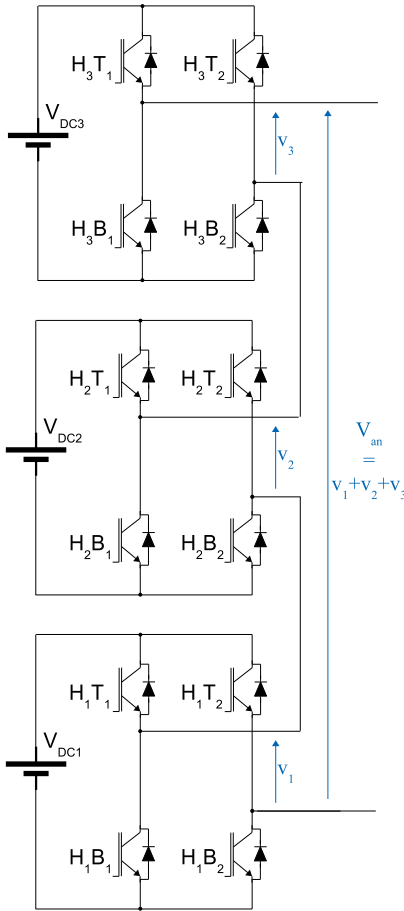


Figura 1: Três pontes H em cascata para sete níveis de tensão.

2 Modulação PWM para conversores multiníveis

O capítulo 7 de (Wu, 2006) descreve alguns métodos de modulação PWM para pontes H em cascata. Aqui será utilizado o Phase-Shift PWM, cujo diagrama em blocos (para uma implementação com três pontes) é apresentado na Figura 2. Esta técnica apresenta como vantagem a facilidade

de filtragem da tensão de saída, dado que as componentes de chaveamento na saída resultante são deslocadas de $2 \cdot H$ (sendo H o número de pontes H) vezes acima no espectro. Esta técnica consiste no uso de uma modulação PWM unipolar (Mohan et al., 1995, pp. 215-218) para cada ponte, sendo que cada uma das portadoras triangulares devem ser defasadas de $180^\circ/H$. O padrão “em escada” na tensão resultante de saída irá conter m níveis de tensão, de acordo com (1).

$$m = 2 \cdot H + 1 . \quad (1)$$

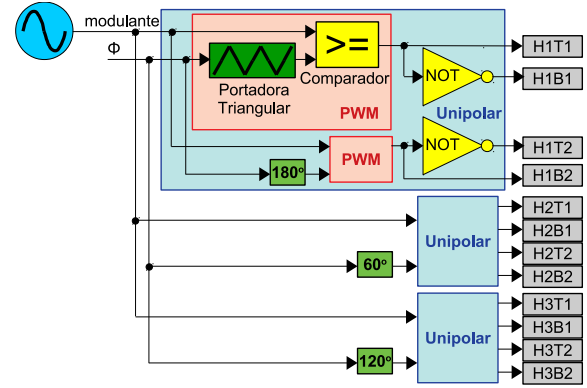


Figura 2: Diagrama em blocos do modulador por Phase-Shift para três pontes H em cascata.

2.1 Modulação unipolar - para cada ponte

Uma representação esquemática da modulação PWM unipolar é vista no detalhe do maior dos blocos em azul da Figura 2 e é baseada na variante com um único sinal modulante e duas portadoras triangulares (Wu, 2006, p. 122). Para qualquer valor do sinal modulante maior ou igual ao da primeira portadora triangular, haverá um sinal de gate ativado em um dos IGBTs superiores de uma das pontes da Figura 1 ($H_x T_1$). O sinal de gate do outro IGBT superior ($H_x T_2$) será determinado por uma segunda comparação, desta vez com uma portadora defasada de 180° . De forma a não curto-circuitar o link DC da ponte, os gates dos IGBTs inferiores sempre deverão ser complementares aos superiores ($H_x B_1 = \overline{H_x T_1}$ e $H_x B_2 = \overline{H_x T_2}$).

Conforme se observa nos três plots superiores da Figura 3, a comparação com a portadora defasada de 180° faz com que o pulso do segundo IGBT superior ($H_1 T_2$) fique centralizado em relação ao pulso no primeiro IGBT superior ($H_1 T_1$). Isto faz com que a resultante na saída de cada ponte apresente o dobro da frequência dos pulsos em cada IGBT (f_{PWM}), tal qual (2) - conforme se confirma no plot central da Figura 4.

$$f_{unip} = 2 \cdot f_{PWM} . \quad (2)$$

De acordo com (1) o padrão resultante na saída de cada ponte conterá três níveis de tensão

($+V_{DC}$, $0V$ e $-V_{DC}$) - isto é observado nos plots $V1$, $V2$ e $V3$ da Figura 3.

2.2 Modulação multiníveis por Phase-Shift

Tomando como base o PWM unipolar, um número H de pontes (visando m níveis de tensão) podem ser controladas simplesmente pelo deslocamento das portadoras triangulares de um ângulo dado por (3). Desta forma, para um conversor com três pontes H , por exemplo, cada um dos três moduladores unipolar deverá apresentar uma defasagem de 60° : unipolar#1: 0° e 180° ; unipolar#2: 60° e 240° ; unipolar#3: 120° e 300° .

$$\phi = \frac{360^\circ}{m-1} = \frac{180^\circ}{H} \quad (3)$$

Assim como ocorrido com a modulação unipolar, o efeito das defasagens nos pulsos de cada IGBT faz com que a saída resultante apresente uma frequência (dada por (4)) muito maior do que a frequência de chaveamento em cada IGBT (possibilitando o uso de filtros menores no lado AC do conversor) - conforme se confirma no *plot* inferior da Figura 4.

$$f_{resultante} = H \cdot f_{unip} = 2 \cdot H \cdot f_{PWM} \quad (4)$$

2.3 Simulação funcional do Phase-Shift PWM para sete níveis

As Figuras 3 e 4 apresentam os resultados de uma simulação do modulador da Figura 2 visando exemplificar o funcionamento do modulador e prover dados comparativos para validar os resultados experimentais da seção 4.

Tem-se no plot superior da Figura 3 uma modulante senoidal e as seis portadoras triangulares (cada uma delas defasadas de 60° entre si, conforme (3)). As duas portadoras em vermelho (em linha cheia e em linha pontilhada) correspondem à ponte H_1 , as duas em verde à ponte H_2 e as duas em azul à ponte H_3 .

O resultado da comparação da onda modulante com cada portadora em linha cheia produz os pulsos de gate para os primeiros IGBT superiores de cada ponte ($H_x T_1$) e o resultado da comparação da onda modulante com cada portadora em linha pontilhada produz os pulsos de gate para os segundos IGBT superiores de cada ponte ($H_x T_2$) - conforme se observa nos *plots* $H1T1$ e $H1T2$ da Figura 3.

A saída (normalizada em relação a V_{DC}) de cada ponte será a diferença de potencial entre os pulsos nos dois IGBTs superiores, conforme se observa nos *plots* $V1$, $V2$ e $V3$ da Figura 3. Nota-se o padrão unipolar de três níveis de tensões.

A saída total do conversor corresponde à soma das saídas de cada conversor, conforme se observa no *plot* inferior da Figura 3. Nota-se o padrão com sete níveis de tensões.

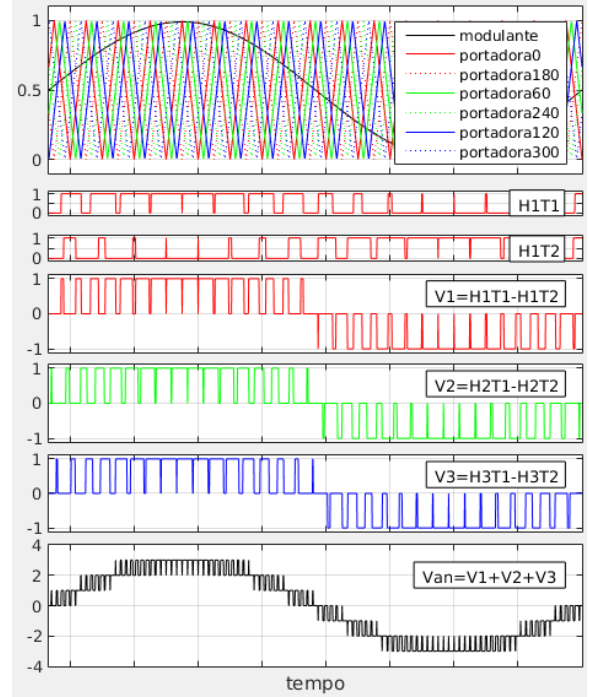


Figura 3: Simulação do modulador da Figura 2 - domínio do tempo.

Tem-se no plot superior da Figura 4 o espectro do pulso de gate do IGBT $H_1 T_1$ (os pulsos dos outros onze IGBTs apresentam padrão semelhante). Nota-se que as raíes são múltiplas da frequência de chaveamento f_{PWM} . Tem-se no plot intermediário da Figura 4 o espectro da saída da ponte H_1 (as saídas das outras duas pontes apresentam padrão semelhante). Nota-se que as raíes são múltiplas do dobro da frequência de chaveamento, confirmando (2). Tem-se no plot inferior da Figura 4 o espectro da saída total do conversor. Nota-se que as raíes são múltiplas de seis vezes a frequência de chaveamento (para o caso com três pontes), confirmando (4).

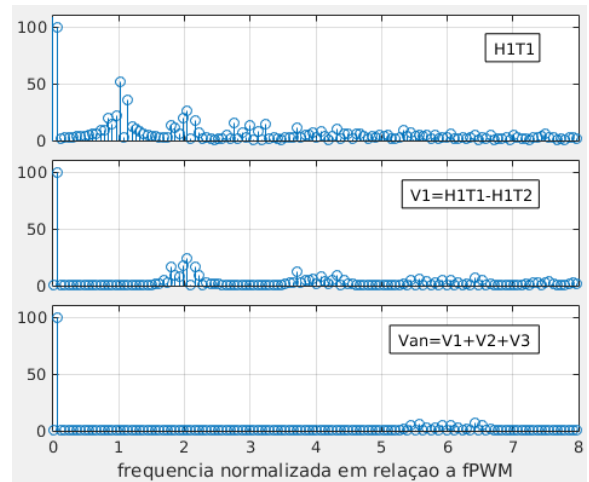


Figura 4: Simulação do modulador da Figura 2 - domínio da frequência.

3 Implementação do modulador multinível em FPGA

Para a implementação do modulador PWM no FPGA, foi utilizada uma metodologia “bottom-up”, aonde se inicia pelas funcionalidades mais simples - constituindo pequenos blocos para serem utilizados em blocos maiores e assim sucessivamente, tal qual ilustrado na Figura 2. Desta forma, têm-se como blocos básicos a portadora triangular (sub-seção 3.1) e o comparador (sub-seção 3.2). Estes blocos são agrupados formando um bloco PWM (sub-seção 3.3). Utilizando dois blocos PWM, com defasagens de 180° entre as portadoras, tem-se o bloco Unipolar (sub-seção 3.4). Utilizando três blocos Unipolar, com defasagens de 60° entre cada portadora, obtém-se o PWM para três pontes em cascata (sub-seção 3.5).

Todos os blocos foram desenvolvidos em linguagem VHDL. Por uma questão de espaço, os códigos não são mostrados no artigo, mas podem ser vistos no *blog* do autor (Sant’Ana, 2018). É importante notar que, embora os resultados da seção 4 tenham sido obtidos com base no kit DE0-nano (com FPGA Altera/Intel), estes códigos podem ser utilizados em qualquer FPGA, independente do fabricante.

3.1 Bloco Portadora Triangular

Este bloco apresenta como entradas:

- *clk*: pulsos de *clock*;
- *CntIni*: vetor de 32bits representando a contagem inicial. Este valor (junto com *UpDownIni*) define a defasagem da portadora;
- *CntMax*: vetor de 32bits representando a contagem máxima. Este valor define a frequência da portadora;
- *UpDownIni*: define se a rampa inicial é de subida (contagem de *CntIni* até *CntMax*) ou de descida (contagem de *CntIni* até zero) . Este valor (junto com *CntIni*) define a defasagem da portadora;
- *reset*: quando em nível alto, a contagem retorna ao valor determinado em *CntIni* na rampa determinada por *UpDownIni*.

Este bloco apresenta como saída:

- *Tri*: vetor de 32bits representando a contagem a cada pulso de *clock*.

Tem-se na Figura 5 um fluxograma para implementação do bloco *Portadora Triangular*.

Tem-se na Figura 6 um exemplo de funcionamento do bloco para $CntMax=4$ (de forma a facilitar a visualização). Em $t=40ns$, o sinal *reset* passa de nível alto para nível baixo, iniciando a

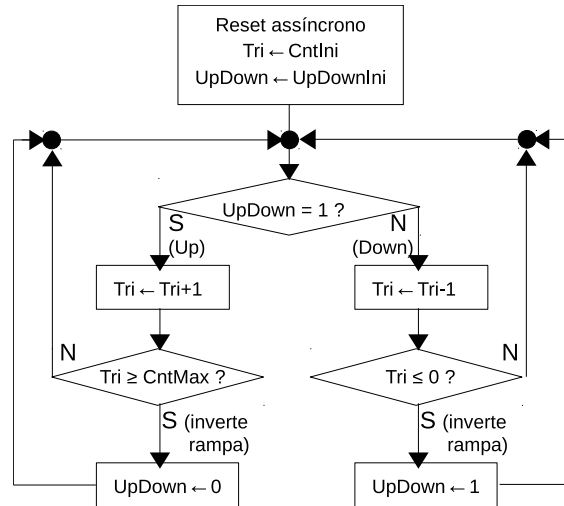


Figura 5: Fluxograma do bloco *Portadora Triangular*.

contagem. Nesta situação, *CntIni*=2 e *UpDownIni*=1, o que indica que a contagem se iniciará pelo valor 2 na rampa de subida. Em t=280ns, os sinais *CntIni* e *UpDownIni* são modificados para *CntIni*=1 e *UpDownIni*=0. Em t=300ns, o sinal *reset* passa de nível alto para nível baixo, reiniciando a contagem - desta vez do valor inicial 1 na rampa de descida.

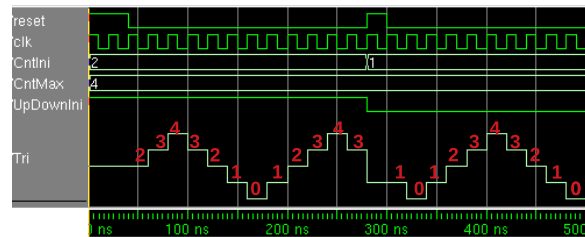


Figura 6: Simulação do Bloco Portadora Triangular no ModelSim - exemplo de contagem até 4 iniciando de 2 na rampa de subida e de 1 na rampa de descida.

A frequência da portadora será a frequência de *clock* dividida pelo dobro do valor contagem máxima. Desta forma, (5) determina o valor de *CntMax* a ser utilizado, de forma a se obter uma portadora com frequência f_{PWM} à uma taxa de $clock\ f_{clk}$.

$$CntMax = \frac{f_{clk}}{2 \cdot f_{PWM}} \quad (5)$$

No caso do kit DE0-nano, tem-se um clock a cristal de 50MHz. Desta forma, para $f_{PWM}=1.5\text{kHz}$, tem-se $CntMax=16666.6=16667$.

O ângulo de fase inicial da portadora é definido através de *CntIni* e *UpDownIni*. A cada *CntMax* contagens a portadora se desloca de 180°. Portanto, considerando a contagem 0 como a referência 0°, os valores de *CntIni* e *UpDownIni* po-

dem ser obtidos de acordo com (6) ou (7), dependendo do valor do ângulo.

$$p/ 0 \leq \phi < 180^\circ \left\{ \begin{array}{l} CntIni = CntMax \frac{\phi}{180} ; \\ UpDownIni = 1 . \end{array} \right. \quad (6)$$

$$p/ 180 \leq \phi < 360^\circ \left\{ \begin{array}{l} CntIni = CntMax \frac{360-\phi}{180} ; \\ UpDownIni = 0 . \end{array} \right. \quad (7)$$

É importante notar que (6) e (7) consideram ângulos positivos (para geração de portadoras adiantadas no tempo). Quando se desejam portadoras atrasadas no tempo, devem ser utilizados os ângulos adjacentes ($\phi_+ = 360 - \phi_-$) da defasagem desejada. Por exemplo, caso se desejasse uma portadora atrasada de 90° , esta seria equivalente a uma portadora adiantada de 270° - portanto, através de (7), seriam obtidos os valores $CntIni = 8333.5 = 8334$ (considerando $CntMax = 16667$) e $UpDownIni = 0$.

Tem-se na Figura 7 um exemplo de funcionamento do bloco para $CntMax=16667$, $CntIni=8334$ e $UpDownIni=0$ - ou seja, $f_{PWM}=1.5kHz$ e portadora atrasada de 90° (ou adiantada de 270°). Nota-se que o período obtido foi $666680ns$, o que corresponde a uma frequência de $1.49997kHz$.

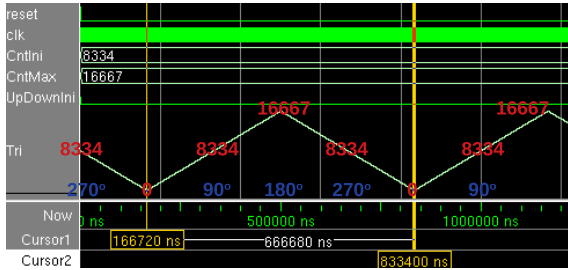


Figura 7: Simulação do Bloco Portadora Triangular no ModelSim - exemplo de contagem com $CntMax=16667$, $CntIni=8334$ e $UpDownIni=0$.

3.2 Bloco Comparador

Este bloco realiza uma comparação entre duas entradas de 32bits (chamadas *Triangular* e *DutyCycle* apenas como referência ao PWM). Uma terceira entrada (*Pol*) define se a saída (chamada *Pulso*, também em alusão ao PWM) receberá nível alto ou baixo quando $DutyCycle \geq Triangular$.

Tem-se na Figura 8 um fluxograma para implementação do bloco *Comparador*.

Tem-se na Figura 9 um exemplo de funcionamento do bloco. Em $t=0ns$, a simulação se inicia com os valores decimais **1111** e **777** nas entradas *DutyCycle* e *Triangular*, respectivamente. A entrada *Pol* se inicia em nível alto. Nesta condição, o teste $DutyCycle \geq Triangular$ é verdadeiro - e como $Pol=1$, a saída *Pulso* receberá nível alto.

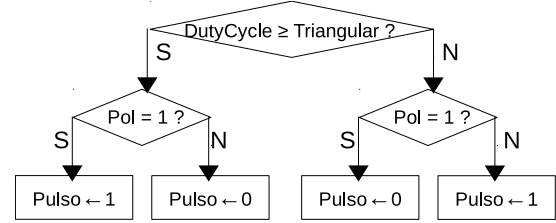


Figura 8: Fluxograma do bloco *Comparador*.

Em $t=40ns$, *DutyCycle* se mantém em **1111** e *Triangular* muda para **1111**. Nesta condição, o teste $DutyCycle \geq Triangular$ continua verdadeiro - e como *Pol* continua em nível alto, a saída *Pulso* continuará em nível alto. Em $t=80ns$, *DutyCycle* se mantém em **1111** e *Triangular* muda para **2112**. Nesta condição, o teste $DutyCycle \geq Triangular$ é falso - e como *Pol* continua em nível alto, a saída *Pulso* receberá nível baixo. De $t=120ns$ até o fim da simulação, a mesma sequência em *Triangular* é repetida - porém, desta vez, com *Pol* em nível baixo, obtendo uma saída complementar.

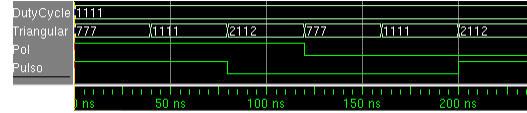


Figura 9: Simulação do Bloco Comparador no ModelSim.

3.3 Bloco PWM

Este bloco contém instâncias dos dois blocos anteriores, sendo que a saída *Tri* do bloco portadora triangular é conectada a entrada *Triangular* do bloco comparador, tal qual detalhe do maior dos blocos em rosa na Figura 2. Desta forma, o bloco herda as entradas de configuração do bloco portadora triangular e as entradas de duty-cycle e configuração de polaridade de comparação do bloco comparador.

Tem-se na Figura 10 um exemplo de funcionamento do bloco. Em $t=0ns$, a simulação se inicia com a portadora triangular configurada com $CntMax = 16667$ (para $f_{PWM} = 1.5kHz$) e com o valor **15000** na entrada *DutyCycle*. Até $t=1.33ms$, a entrada de polaridade da comparação (*Pol*) é configurada em nível alto. Como $15000/16667 = 0.90$, tem-se na saída *Pulso* um sinal com 90% de duty-cycle, conforme se pode calcular pelos cursores 1, 2 e 3. Da diferença entre os cursores 1 e 2, nota-se que *Pulso* permanece em nível alto por $600020ns$, enquanto seu período (diferença entre os cursores 1 e 3) é $666680ns$ - resultando, portanto, em um duty-cycle $600020/666680 = 90\%$.

A segunda metade da Figura 10 ocorre a partir de $t=1.33ms$, quando a entrada *DutyCycle* continua com os mesmos **15000** mas a entrada de po-

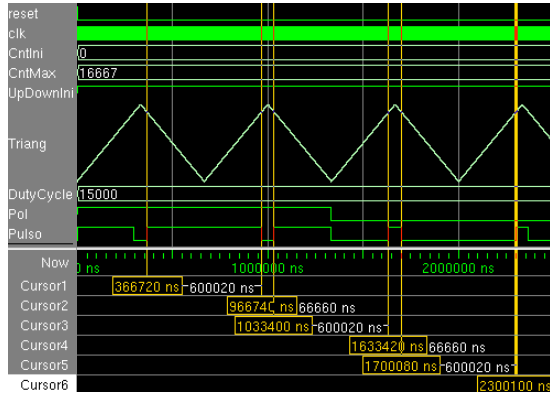


Figura 10: Simulação do Bloco PWM - duty-cycle 90% (com polaridades positiva e negativa).

laridade da comparação (Pol) é configurada para nível baixo. Da diferença entre os cursores 4 e 5, nota-se que $Pulso$ permanece em nível alto por 66660ns, enquanto seu período (diferença entre os cursores 4 e 6) é 666680ns - resultando, portanto, em um duty-cycle $66660/666680 = 10\%$, que é o complementar de 90%. A entrada Pol , portanto, permite a mudança da polaridade da saída da ponte H, sem a necessidade da mudança física entre os braços $H_xT_1-H_xB_1$ e $H_xT_2-H_xB_2$ nos conversores da Figura 1.

3.4 Bloco Unipolar

Este bloco contém duas instâncias do bloco PWM, sendo que as portadoras triangulares de cada bloco devem ser defasadas de 180° (de acordo com (6) e (7), tal qual detalhe do maior dos blocos em azul na Figura 2. O primeiro bloco PWM é configurado com $CntIni=0$ e $UpDownIni=1$ e o segundo com $CntIni=16667$ e $UpDownIni=0$. Além disto, é adicionada uma lógica de saída para a geração dos pulsos complementares para os IGBTs de um mesmo braço da ponte, tal qual Figura 2.

Tem-se na Figura 11 um exemplo de funcionamento do bloco. Em $t=0ns$, a simulação se inicia com as portadoras triangulares configuradas com $CntMax = 16667$ (para $f_{PWM} = 1.5kHz$) e com o valor **15000** na entrada $DutyCycle$ (para 90% de duty-cycle). Nesta figura as saídas $Top1$, $Bot1$, $Top2$ e $Bot2$ correspondem aos pulsos de gate H_xT_1 , H_xB_1 , H_xT_2 e H_xB_2 das Figuras 1 e 2. É importante notar que a lógica de saída apenas cria os pulsos complementares, sem criação de *dead-time* (uma vez que se considera que isto seja função dos *drivers* dos IGBTs).

3.5 PWM para 3 pontes em cascata

O PWM multiníveis para três pontes H em cascata pode ser obtido com três instâncias do bloco Unipolar, sendo que as portadoras triangulares de cada bloco devem ser defasadas de 60° . De

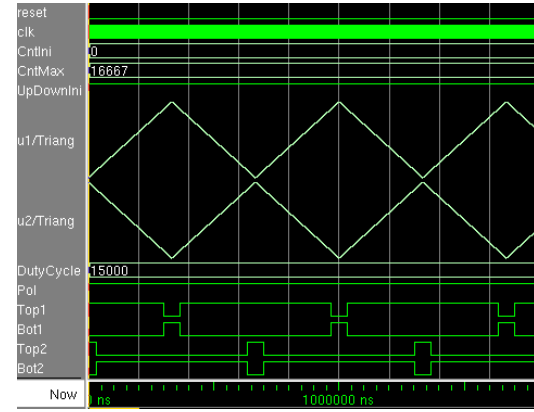


Figura 11: Simulação do Bloco Unipolar - duty-cycle 90%.

acordo com (6), o primeiro bloco Unipolar é configurado com $CntIni=0$ e $UpDownIni=1$ para que suas portadoras se iniciem em 0° e 180° . De acordo com (7), o segundo bloco Unipolar é configurado com $CntIni=5556$ ($16667/3 = 5555.\bar{6}$) e $UpDownIni=0$ para que suas portadoras se iniciem em -60° (ou $+300^\circ$) e -240° . De acordo com (7), o terceiro bloco Unipolar é configurado com $CntIni=11111$ ($16667 \cdot 2/3 = 11111.\bar{3}$) e $UpDownIni=0$ para que suas portadoras se iniciem em -120° (ou $+240^\circ$) e -300° .

Tem-se na Figura 12 um exemplo de funcionamento do modulador, para duty-cycle 90%. Em $t=0ns$, a simulação se inicia com as portadoras triangulares configuradas com $CntMax = 16667$ (para $f_{PWM} = 1.5kHz$) e com o valor **15000** na entrada $DutyCycle$. Nesta figura são mostradas apenas os gates dos IGBTs superiores de cada braço (os inferiores são complementares) e são listados por ordem de disparo, ou seja: $P1Top1$ (H_1T_1 nas Figuras 1 e 2), $P2Top1$ (H_2T_1), $P3Top1$ (H_3T_1), $P1Top2$ (H_1T_2), $P2Top2$ (H_2T_2), $P3Top2$ (H_3T_2) e, novamente, $P1Top1$ (H_1T_1).

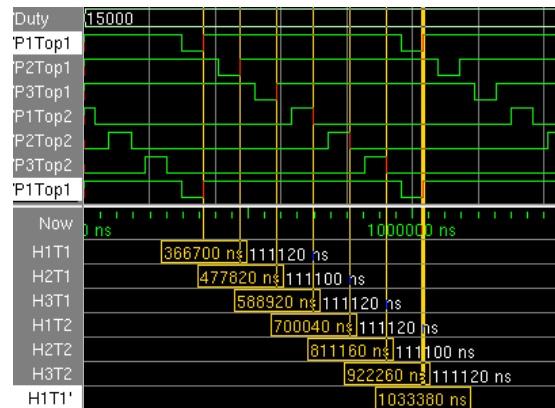


Figura 12: Simulação do PWM para 3 pontes H - duty-cycle 90% - apenas os pulsos para os IGBTs superiores são mostrados.

Dos cursores da Figura 12, observa-se que o tempo decorrido entre cada edge inicial nos pulsos seguindo a ordem acima é uma alternância entre 111100ns e 111120ns. Esta diferença de um período de *clock* ($T_{clk} = 1/50MHz = 20ns$) se deve ao fato das divisões realizadas para o cálculo das defasagens não serem exatas. Considerando que o período dos pulsos é 666680ns e representa 360°, tem-se que as defasagens obtidas foram uma alternância entre 59.993° e 60.004°.

4 Resultados Experimentais

O circuito da Figura 1 foi montado em uma bancada de testes, tal qual mostrada na Figura 13.

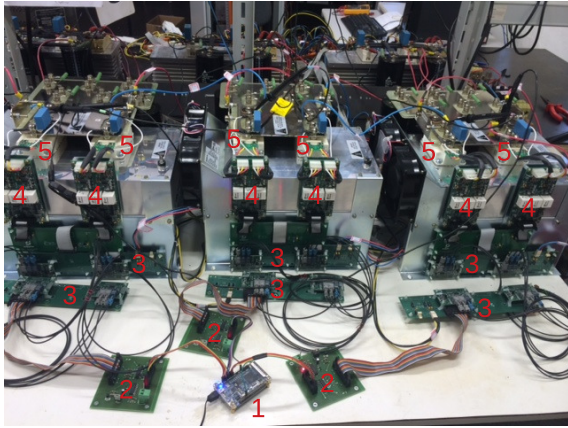


Figura 13: Fotografia da bancada de testes, cujos elementos são identificados na Tabela 1.

Tabela 1: Identificação da bancada de testes.

1	Kit FPGA DE0-nano (Altera Cyclone IV)
2	Conversão 3.3V↔15V
3	Conversão sinais elétricos↔ópticos
4	Drivers
5	Power blocks

No experimento realizado, a frequência de portadora (f_{PWM}) foi estipulada em 1.5kHz. Como sinal modulante, foi criada uma referência senoidal interna através de look-up table. A frequência do sinal modulante foi estipulada em 60Hz. Os resultados apresentados a seguir foram obtidos em malha aberta e a vazio, pois se está interessado apenas no funcionamento do modulador PWM.

Tem-se na Figura 14 uma oscilografia das tensões em cada ponte e da tensão total. A onda em amarelo é a tensão AC na saída da ponte H_1 (V_1 , na Figura 1). A onda em azul é a tensão AC na saída da ponte H_2 (V_2 , na Figura 1). A onda em magenta é a tensão AC na saída da ponte H_3 (V_3 , na Figura 1). A onda em verde é a tensão AC resultante na saída do arranjo com três pontes ($V_{an} = V_1 + V_2 + V_3$, na Figura 1).

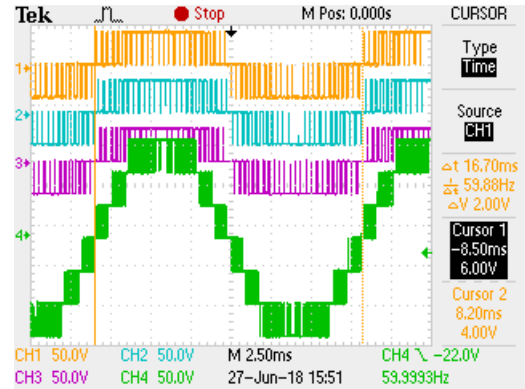


Figura 14: Teste com modulação senoidal - $V_{DC1}=V_{DC2}=V_{DC3}=36V$, $f_{fund} = 60Hz$ e $f_{PWM} = 1.5kHz$.

Nota-se, da Figura 14, que a tensão de cada ponte H possui um formato de chaveamento unipolar (chaveando entre o pólo positivo e o zero e entre o pólo negativo e o zero) (Mohan et al., 1995, pp. 215-218) - confirmando a simulação da Figura 3. Como o sinal modulante é um só, caso as saídas de cada ponte (V_1 , V_2 e V_3) fossem filtradas, estes sinais seriam idênticos. Entretanto, como as portadoras são defasadas, existe um deslocamento nos *edges* de cada pulso, o que resulta no formato “em escada” em V_{an} . Nota-se, também, que V_{an} apresenta sete níveis de tensão, conforme previsto na equação (1) e na simulação da Figura 3.

Outra consideração importante diz respeito à frequência de chaveamento: cada IGBT de cada uma das pontes, irá chavear em uma frequência $f_{PWM}=1.5kHz$, que é a mesma frequência de cada uma das portadoras triangulares. Como cada ponte utiliza modulação unipolar, a frequência resultante nas saídas V_1 , V_2 e V_3 é $2 \cdot f_{PWM}=3kHz$ (conforme previsto na equação (2)). A Figura 15 apresenta o espectro de frequências de V_1 (os espectros de V_2 e V_3 são similares). Nota-se (no cursor 1) que a raia em 3kHz apresenta uma amplitude de 15dBV. Cada divisão de amplitude representa 5dBV - o que implica que a componente em 1.5kHz tem amplitude muito abaixo de 0dBV. Observa-se também, tal qual previsto pela simulação da Figura 4, que predominam as raia múltiplas de $2 \cdot f_{PWM}=3kHz$ ¹.

Graças à defasagem entre os *edges* nos pulsos de cada saída V_1 , V_2 e V_3 , o sinal composto com as pontes em série V_{an} apresenta uma frequência resultante de $6 \cdot f_{PWM}=9kHz$ (conforme previsto por (4)). A Figura 16 apresenta o espectro de frequências de V_{an} . Nota-se que a componente em 3kHz caiu de 15dBV (conforme visto na Figura 15) para algo no nível do ruído. Já a componente

¹Existe um espalhamento espectral devido à não estacionariedade dos sinais, o que prejudica o cálculo da FFT no osciloscópio - mas as figuras permitem uma boa visualização do efeito das defasagens nas frequências resultantes em cada estágio.

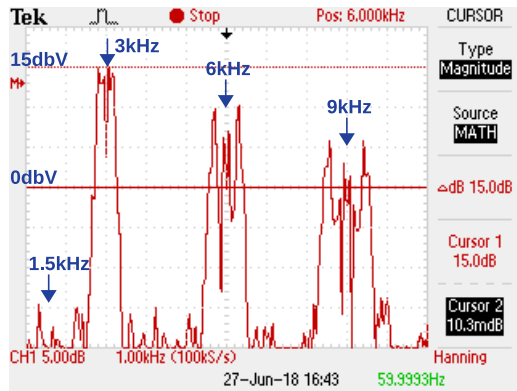


Figura 15: Espectro de frequências (com escala de amplitudes logarítmica) da saída ponte H_1 (V_1).

em 9kHz subiu de cerca de 5dBV (conforme visto na Figura 15) para cerca de 15dBV. Isto confirma que a frequência de chaveamento resultante é seis vezes maior do que a frequência de cada IGBT, tal qual previsto pela simulação da Figura 4.

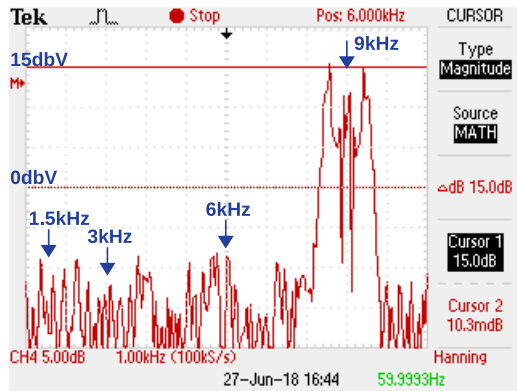


Figura 16: Espectro de frequências (com escala de amplitudes logarítmica) da saída resultante das três pontes (V_{an}).

5 Conclusões

Este trabalho abordou o desenvolvimento de um modulador PWM para conversores multiníveis em FPGA. Foi apresentada uma estrutura modular do tipo *bottom-up*, aonde os blocos desenvolvidos em VHDL podem ser reaproveitados. Para este artigo, o modulador foi desenvolvido visando conversores com três pontes H em cascata (gerando sete níveis de tensão). Entretanto, devido a sua modularidade, o sistema pode ser facilmente adaptado para mais pontes, bastando apenas a repetição de blocos (e o cálculo apropriado de seus valores de inicialização, conforme fórmulas apresentadas).

Cada bloco desenvolvido foi discutido em detalhes e simulado no software ModelSim. O modulador desenvolvido foi gravado em um kit de desenvolvimento DE0-nano (com FPGA Altera/Intel),

mas os mesmos códigos podem ser reaproveitados em qualquer tipo de placa com FPGA de qualquer fabricante.

O sistema desenvolvido foi verificado em uma bancada de testes. Cada uma das três pontes H foi alimentada com um banco de baterias do tipo chumbo-ácido. Como o objetivo do artigo é a apresentação do modulador, os testes foram realizados em malha aberta. Verificou-se que a frequência de chaveamento resultante é seis vezes maior (para o caso do conversor com três pontes) do que a frequência de cada IGBT. Isto implica em uma maior facilidade de filtragem, mantendo baixas perdas por chaveamento.

Agradecimentos

Os autores gostariam de agradecer às seguintes instituições pelo apoio financeiro prestado: CNPq, CAPES, FAPEMIG e P&D ANEEL.

Referências

- Braga, H. A. and Barbi, I. (2000). Conversores estáticos multiníveis—uma revisão, *SBA Controle & Automação* **11**(01): 20–28.
- Cheng, T. H., Zulkifli, S. A. and Shah, N. M. B. (2017). Applying of mppt algorithm in z source inverter for pv solar generation, *2017 IEEE Conference on Energy Conversion (CENCON)*, pp. 163–168.
- Mohan, N., Undeland, T. M. and Robbins, W. P. (1995). *Power Electronics - Converters, Applications and Design*, 2nd edn, John Wiley & Sons, Inc.
- Sant’Ana, W. C. (2018). Blog Doing Tech Myself, <http://DoingTechMyself.blogspot.com>.
- Sant’Ana, W., Gonzatti, R., Guimaraes, B., Lambert-Torres, G., Bonaldi, E., Pereira, R., da Silva, L. E. B., Ferreira, C., de Oliveira, L., Pinheiro, G., da Silva, C. H., Salomon, C., Mollica, D. and Filho, J. S. (2018). Development of a multilevel converter for power systems applications based on DSP, *VII Simpósio Brasileiro de Sistemas Elétricos (SBSE)*.
- Silva, L. P. D., Pereira, R. R., Gonzatti, R. B., da Silva, L. E. B., Lambert-Torres, G., Mollica, D. and Filho, J. S. (2017). Low-cost didactic module for single-phase inverter teaching, *2017 Brazilian Power Electronics Conference (COBEP)*.
- Wu, B. (2006). *High-power converters and AC drives*, John Wiley & Sons.