

CONVERTOR SEPIC QUADRÁTICO COM CORREÇÃO DE FATOR DE POTÊNCIA PARA ACIONAMENTO DE LED SEM USO DE CAPACITORES ELETROLÍTICOS

DOUGLAS R. CORRÊA, JULIANO F. ANDRADE, LUIS R. CANDIDO, FERNANDO L. TOFOLI, ANIEL S. MORAIS

Faculdade de Engenharia Elétrica, Universidade Federal de Uberlândia Campus Patos de Minas, Patos de Minas, Minas Gerais, Brasil.

R. Major Jeronimo, 566, sala 402 - Centro, Patos de Minas - MG, CEP: 38700-002.

Departamento de Engenharia Elétrica, Instituto Federal do Triângulo Mineiro - Campus Patrocínio, Patrocínio, Minas Gerais, Brasil.

Av. Lúcia Terezinha Lassi Capuano, 255 - Bairro: Chácara das Rosas - CEP: 38.747-792 - Patrocínio/MG.

Faculdade de Engenharia Elétrica, Universidade Federal de Uberlândia, Uberlândia, Minas Gerais, Brasil.
Av. João Naves de Ávila, 2121 - bloco 1E - Santa Mônica, Uberlândia - MG, CEP: 38.400-902.

Departamento de Engenharia Elétrica, Universidade Federal de São João del-Rei, São João Del-Rei, Minas Gerais, Brasil.

Praça Frei Orlando, 170, Centro, DEPEL, Sala 4.16- EL, São João Del-Rei, CEP: 36.307-352.

Faculdade de Engenharia Elétrica, Universidade Federal de Uberlândia, Uberlândia, Minas Gerais, Brasil.

Av. João Naves de Ávila, 2121 - bloco 1E - Santa Mônica, Uberlândia - MG, CEP: 38.400-902.

E-mails: drcorrea@ufu.br, julianoofaria@iftm.edu.br, luis.ricardoc@hotmail.com,
fernandolessa@ufsj.edu.br, aniel@ufu.br

Abstract— In this work a quadratic SEPIC with power factor correction is used to drive an array of LEDs. There is a concern with lifetime incompatibility amongst components, mainly the electrolytic capacitor, responsible for most of this circuit failings. It is proposed the replacement by capacitors of polyester film once they are more robust and reliable components. However, the energy density of the latter is lower than the first, which leads to the need to reduce the bulk capacitances, delegating to the control the responsibility of attenuating the oscillations in the output voltage. In this topology the first stage is responsible for power factor correction and operates in discontinuous conduction mode. The second stage operates in continuous conduction mode and is responsible for driving the LEDs. The integration between the two stages aims at reducing the number of switches and simplifying the drive and control circuits. The advantage of the proposed system is to obtain high power factor and low oscillation in the load current without the use of electrolytic capacitors.

Keywords— SEPIC, LED driver, quadratic converter, PFC, ballast.

Resumo— Neste trabalho um SEPIC quadrático com correção de fator de potência é utilizado para acionar um arranjo de LEDs. Existe a preocupação com a incompatibilidade do tempo de vida útil entre os componentes, principalmente a do capacitor eletrolítico, responsável por grande parte dos defeitos deste tipo de circuito. É proposta a substituição por capacitores de filme de poliéster por serem componentes mais robustos e confiáveis. No entanto, a densidade energética do último é inferior à do primeiro o que leva à necessidade de redução da capacitância dos barramentos, delegando ao controle a responsabilidade de atenuar as oscilações na tensão de saída. Nesta topologia o primeiro estágio é responsável pela correção do fator de potência e opera em modo de condução descontínua. Já o segundo estágio é responsável pelo acionamento dos LEDs e opera em modo de condução contínua. A integração realizada entre os dois estágios tem como objetivo a redução do número de interruptores e simplificação dos circuitos de acionamento e controle. A vantagem do sistema proposto é obter alto fator de potência e baixa oscilação na corrente de carga sem a utilização de capacitores eletrolíticos.

Palavras-chave— SEPIC, acionamento de LED, conversor quadrático, PFC, reator.

1 Introdução

O crescimento da demanda por energia elétrica, faz com que sejam necessários métodos e técnicas mais eficientes e econômicas para o seu processamento. Parte considerável da energia elétrica gerada em todo o mundo é convertida em iluminação artificial. A utilização de diodo emissor de luz (LED) em iluminação é uma alternativa econômica muito atrativa pois tecnologias e dispositivos para iluminação LED vem ganhando mercado, principalmente pela sua característica econômica e longa vida útil. De acordo

com (Office of ENERGY EFFICIENCY & RENEWABLE ENERGY, 2017) os LEDs a base de fósforo podem produzir até 160 lm/W e vida útil normal de 50.000 horas.

Um bom sistema de iluminação deve-se preocupar tanto com a qualidade de energia drenada da rede, quanto com a qualidade da iluminação. O LED, exige uma faixa de tensão e corrente específicas para sua operação, por isso faz-se necessária a aplicação de reatores eletrônicos. Os reatores necessitam de um estágio pré-regulador para correção do fator de potência (PFC) e redução da distorção harmônica total (THD)

da corrente de entrada de acordo com IEC61000-3-2 (Pourarab, et al., 2015). Os reatores eletrônicos são constituídos basicamente de uma fonte de corrente contínua controlada para atender as especificações de sua carga, no caso o LED, e suas etapas são ilustradas na Figura 1.

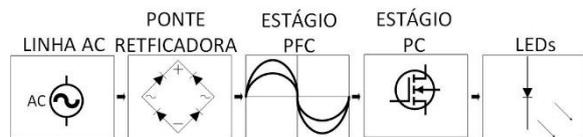


Figura 1- Etapas de um reator para acionamento de LED.

Os reatores eletrônicos são parte crítica da utilização de LEDs de potência na iluminação, pois devem atender as necessidades da carga, manter os requisitos de qualidade de energia de entrada e ter longa vida útil. Um dos obstáculos encontrados no projeto de um reator com longa vida útil é a utilização de capacitores eletrolíticos, por se tratar do componente responsável por grande parte dos defeitos dos reatores (Zhou, et al., 2012). De acordo com (Ahish, et al., 2007) os capacitores eletrolíticos são sensíveis à grandes variações de temperatura, corrente e tensão de operação. Fato comum em circuitos de acionamento para LEDs, é que reduzem à vida útil do capacitor eletrolítico, podendo causar incompatibilidade de vida útil entre reator e LED. Para evitar este problema foram estudadas várias alternativas e a principal solução é a substituição do capacitor eletrolítico, por capacitores de poli-propileno metalizado ou filme de poliéster (Gu, et al., 2009). Porém, este componente tem menor densidade energética, valor de capacitância inferior para mesmo volume além de valor aquisitivo superior, fatos que implicam na necessidade de reduzir o valor de capacitância utilizado no projeto do reator.

O conversor quadrático é a combinação de dois conversores iguais integrados, compartilhando o mesmo interruptor. O motivo principal de se utilizar a integração é reduzir custos e simplificar o circuito de controle (Alonso, et al., 2012). A integração possibilita o controle do fator de potência e distorção harmônica no primeiro estágio e o controle da potência de saída no segundo estágio. O uso dos dois estágios também auxilia na possibilidade da redução do valor de capacitância necessária no projeto. Também é proposto um circuito de controle para ajudar na redução da ondulação da corrente de saída, possibilitando maior redução do valor capacitivo de projeto.

2 Descrição da topologia proposta

Este trabalho propõe uma topologia de conversor quadrático, baseado na topologia SEPIC, a ser utilizado como reator para um arranjo de LEDs, dimensionado para não utilizar capacitores eletrolíticos.

Entre os diversos tipos de conversores chaveados em alta frequência o SEPIC é utilizado porque consegue elevar e reduzir a tensão, pode ser usado como circuito PFC (correção de fator de potência) e PC (controle de potência), seu interruptor compartilha a referência e a polaridade de sua saída é não invertida.

A técnica de integração utilizada exige que ambos os conversores trabalhem com mesma razão cíclica, frequência de comutação e tenham um ponto comum entre seus interruptores. As topologias dos conversores são apresentadas na Figura 2.

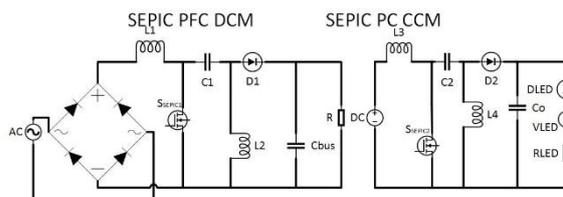


Figura 2- Esquema SEPIC PFC e SEPIC

Conectando os dois conversores, um ponto comum entre os terminais *source* dos interruptores é identificado, possibilitando a conexão tipo T, como ilustra a Figura 3. O circuito é combinado com o acréscimo de dois diodos, D_{n1} e D_{n2} , formando a célula integrada tipo T e eliminando um dos interruptores. Forma-se assim, o conversor SEPIC quadrático como ilustra a Figura 4.

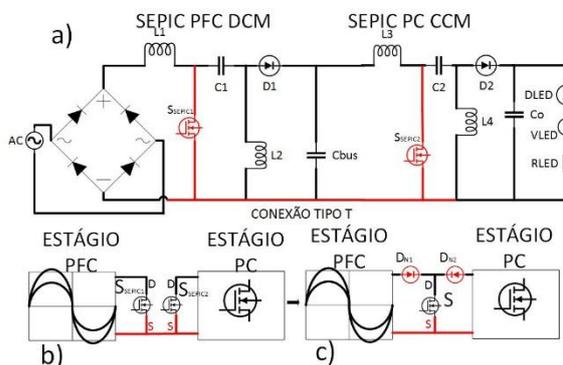


Figura 3- a) A conexão dos conversores. b) Conexão tipo T (S-S). c) célula compartilhada tipo T

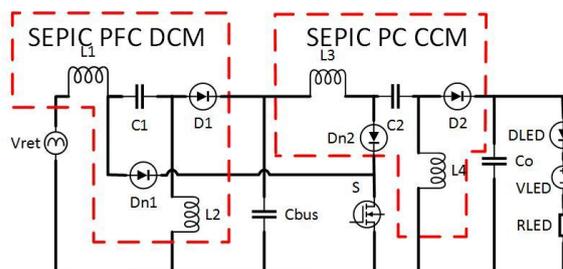


Figura 4- Topologia proposta SEPIC quadrático.

O SEPIC quadrático tem dois estágios; o primeiro estágio opera em modo de condução descontínua (DCM) para preservar as características de seguidor de tensão e realizar a correção do fator de potência (PFC). O segundo estágio opera no modo de condução contínua (CCM) para facilitar o controle da corrente de saída (I_{LED}).

O arranjo de LEDs é representado pelo seu circuito equivalente composto por: um diodo D_{led} que indica a polarização do LED, uma fonte de tensão V_{led} que equivale à tensão limiar do LED e uma resistência dinâmica R_{LED} .

O conversor proposto possui três etapas de operação por período de chaveamento (T_s) as etapas são detalhadas a seguir.

Na primeira etapa ($t_0 \leq t < t_1$) o interruptor compartilhado (S) é acionado, os diodos D_{n1} e D_{n2} estão conduzindo e os diodos D_1 e D_2 estão bloqueados. O tempo desta etapa equivale ao produto da razão cíclica (D) pelo período de comutação (T_s) e a corrente que circula pelo interruptor é a soma das correntes nos quatro indutores ($I_s = I_{L1} + I_{L2} + I_{L3} + I_{L4}$). Os indutores se carregam e os capacitores C_1 , C_2 e C_{bus} se descarregam. Como o diodo D_1 está bloqueado o capacitor C_{Bus} é responsável por alimentar o segundo estágio. O diodo D_2 também está bloqueado e o capacitor de saída (C_o) é responsável por suprir a corrente para a carga. O circuito dessa etapa é apresentado na Figura 5.

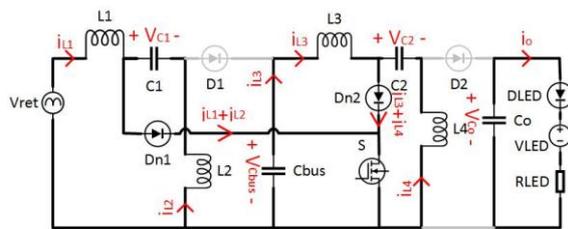


Figura 5- Primeira etapa de operação.

Na segunda etapa ($t_1 \leq t < t_2$) o interruptor S é desligado, os diodos D_{n1} e D_{n2} estão bloqueados e os diodos D_1 e D_2 estão conduzindo. Os capacitores se carregam e os indutores I_{L1} , I_{L2} e I_{L4} se descarregam. A corrente que passa por D_1 é o somatório das correntes dos dois indutores do estágio PFC ($I_{D1} = I_{L1} + I_{L2}$). O capacitor de barramento (C_{bus}) é carregado e o indutor L_2 descarrega, até a corrente em I_{L2} seja o inverso de I_{L1} ($I_{L2} = -I_{L1}$) e a tensão sobre o catodo do diodo D_1 fique maior que sobre seu anodo polarizando-o reversamente e assim bloqueando a passagem de corrente por D_1 que caracteriza o fim da segunda etapa. O diodo D_2 é responsável por alimentar a carga e carregar o capacitor de saída (C_o) ($I_{D2} = I_o + I_{C_o}$). O circuito dessa etapa é apresentado na Figura 6.

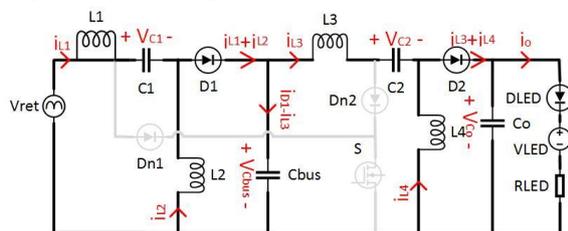


Figura 6- Segunda etapa de operação.

Na terceira etapa ($t_2 \leq t < T_s$) o interruptor S continua desligado e os diodos D_{n1} e D_{n2} bloqueados. O diodo D_1 é reversamente polarizado, caracterizando o modo de condução descontínuo do estágio PFC. O capacitor C_{bus} é responsável por alimentar o segundo estágio e o diodo D_2 continua conduzindo, alimentando a carga e mantendo o capacitor de saída C_o carregado. O circuito da etapa é apresentado na Figura 7.

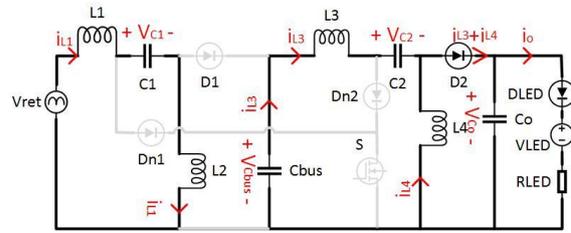


Figura 7- Terceira etapa de operação.

A condução do interruptor S caracteriza o fim da terceira etapa e o início de um novo período de chaveamento. As principais formas de ondas do reator proposto são apresentadas na Figura 8, ilustrando o comportamento dos conversores.

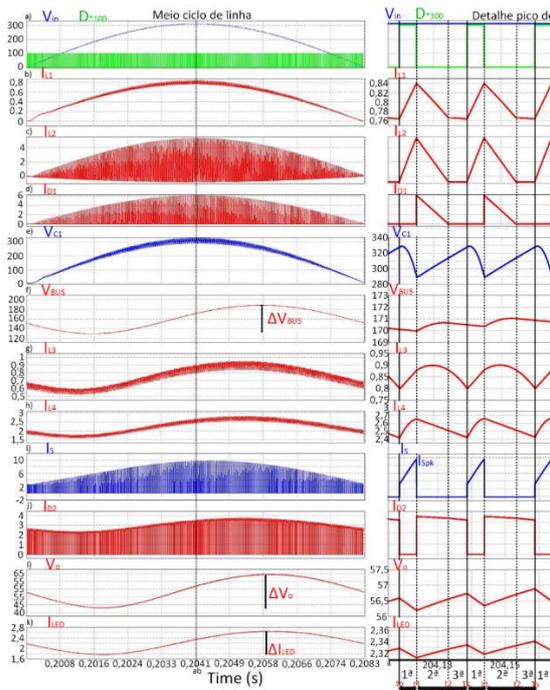


Figura 8 - Características das formas de onda do conversor e a direita o detalhe das etapas no pico de V_{in} . a) Meio ciclo de tensão de entrada e Razão cíclica. b) Corrente no indutor L_1 . c) Corrente no indutor L_2 . d) Corrente diodo D_1 . e) Tensão no capacitor C_1 . f) Tensão no capacitor de barramento C_{BUS} . g) Corrente no indutor L_3 . h) Corrente no indutor L_4 . i) Corrente diodo D_2 . j) Tensão na saída V_o . k) Corrente da carga I_{LED} .

Baseado nas formas de onda e etapas apresentadas, é possível concluir que as características principais dos conversores SEPIC DCM e SEPIC CCM são preservadas, fato que permite projetar cada etapa separadamente como em (Cosetin, et al., 2014).

3 Metodologia de projeto da topologia SEPIC quadrático

O primeiro passo para o projeto da topologia SEPIC quadrático é definir a tensão do capacitor de barramento (V_{bus}). O capacitor C_{bus} fica entre os dois estágios (PFC) e (PC), sendo ele a saída do primeiro estágio e a entrada do segundo.

Para determinar o valor de V_{bus} que melhor atenda ao projeto, é necessário traçar um gráfico como o da Figura 9, que relaciona o valor da razão cíclica de cada

estágio à tensão de barramento. Onde a curva define o limite da descontinuidade de seu respectivo conversor. À região de operação está situada entre as duas curvas.

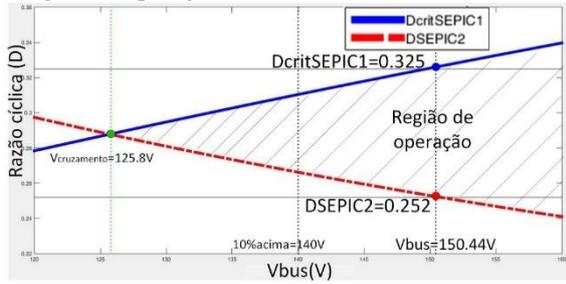


Figura 9- Definir razão cíclica D com relação à tensão de barramento V_{Bus} .

As curvas da razão cíclica crítica do primeiro estágio ($D_{critSEPIC1}$) é calculada através da Equação (1) e da razão cíclica do segundo estágio (D_{sepic2}) através da Equação (2).

$$D_{critS1} = \frac{V_{Bus}}{V_{Bus} + V_{in}} \quad (1)$$

$$D_{S2} = \frac{V_o}{V_o + V_{Bus}} \quad (2)$$

Através do gráfico da Figura 9 é possível observar o ponto de cruzamento entre as duas curvas e escolher um valor aproximadamente 20% maior para V_{Bus} . Este fator de 20% objetiva evitar tensões elevadas e proporcionar uma margem de segurança para a variação da razão cíclica sem que o primeiro estágio saia do modo de operação DCM. O valor do ciclo de trabalho mínimo é definido pela Equação (2) e deve ser menor que o valor de $D_{critSEPIC1}$ calculado pela Equação (1), garantindo que o primeiro estágio opere em DCM. A tensão de pico na entrada (V_g) e a tensão de saída (V_o) são dados de projeto.

Os valores de $D_{critSEPIC1}=D_{max}$, $D_{SEPIC2}=D$ e V_{bus} escolhido, estão destacadas no gráfico. O próximo passo é calcular o valor dos indutores L_1 e L_2 que podem ser encontrados através de um valor de indutância equivalente (L_{eq}) como na Equação (3). A potência de entrada (P_{in}) considera o rendimento de projeto para cada estágio (η_1 e η_2) conforme a Equação (4). O período de chaveamento (T_s) é o inverso da frequência de chaveamento (f_s) definida no projeto.

$$L_{eq} = \frac{V_g^2 \cdot D^2 \cdot T_s}{4 \cdot P_{in}} \quad (3)$$

$$P_{in} = \frac{P_o}{\eta_1 \cdot \eta_2} = \frac{P_o}{\eta} \quad (4)$$

O indutor L_1 é dimensionado através da Equação (5) que considera a corrente de pico na entrada (I_{pk}) calculado pela Equação (6) (Simonetti, et al., 1997). O indutor L_2 é dimensionado através da Equação (7).

$$L_1 = \frac{V_g \cdot D \cdot T_s}{I_{pk} \cdot \% \Delta I_{L1}} \quad (5)$$

$$I_{pk} = \frac{V_g \cdot D^2 \cdot T_s}{2 \cdot L_{eq}} \quad (6)$$

$$L_2 = \frac{L_1 \cdot L_{eq}}{L_1 - L_{eq}} \quad (7)$$

A tensão sobre o capacitor C_1 (V_{C1}) é considerada constante em um período de comutação, mais ao mesmo tempo acompanha a tensão da rede (Simonetti, et al., 1997). O primeiro estágio opera em PFC e tem a frequência de ressonância (f_{res}) definida por C_1 , L_1 e L_2 . A frequência de ressonância deve ser muito maior que a frequência da rede (f_l) e muito menor que a frequência de comutação (f_s). O ideal é que a frequência de ressonância seja pelo menos 10 vezes menor que a frequência de chaveamento, e a frequência de ressonância dada por L_2 e C_1 deve ser menor que a frequência de comutação (f_s), de modo que a tensão não oscile dentro de um período de comutação (T_s). Respeitando essas condições o capacitor C_1 pode ser calculado conforme Equação (8), para uma frequência de ressonância definida.

$$C_1 = \frac{1}{(2 \cdot \pi \cdot f_{res})^2 (L_1 + L_2)} \quad (8)$$

A corrente de saída do primeiro estágio (SEPIC PFC) é a corrente que circula pelo diodo 1 (I_{D1}) e pode ser dividida em uma componente DC (\bar{I}_{D1}) representada pela Equação (9) e uma componente AC (\tilde{i}_{D1}) com duas vezes a frequência de linha representada pela Equação (10).

$$\bar{I}_{D1} = \frac{V_g^2 \cdot D^2}{4 \cdot V_{Bus} \cdot L_{eq} \cdot f_s} \quad (9)$$

$$\tilde{i}_{D1} = -\frac{V_g^2 \cdot D^2}{4 \cdot V_{Bus} \cdot L_{eq} \cdot f_s} [\cos(4\pi f_L t)] \quad (10)$$

Supondo que a corrente que flui através do capacitor de barramento (C_{Bus}) seja igual a (i_{D1}), a variação da tensão de barramento (ΔV_{Bus}) pode ser encontrada através da Equação (11), de acordo com (Almeida, et al., 2012).

$$\Delta V_{Bus} = \frac{V_g^2 \cdot D^2}{8 \cdot \pi \cdot V_{Bus} \cdot L_{eq} \cdot f_s \cdot f_L \cdot C_{Bus}} \quad (11)$$

O capacitor C_{Bus} deve ser escolhido com baixo valor de capacitância para que seja utilizado o capacitor de filme de polipropileno metalizado, devido a sua alta confiabilidade e vida útil de até 200.000 horas, segundo (EPCOS, 2011).

O segundo estágio pode ser dimensionado como um conversor SEPIC operando em CCM. Considerando que a entrada do mesmo é em tensão contínua o conversor pode ser projetado como em (Martins & Barbi, 2006) e (Reginaldo, 2009). São dados de projeto a porcentagem de ondulação de alta frequência permitida Δi_{L3} e Δi_{L4} e assim por meio das Equações (12), (13), (14) e (15) pode-se calcular os valores de L_3 e L_4 .

$$\Delta I_{L3} = \frac{D}{1-D} \cdot I_{LED} \cdot 10\% \quad (12)$$

$$L_3 = \frac{V_{Bus} \cdot D \cdot T_s}{\Delta I_{L3}} \quad (13)$$

$$\Delta I_{L4} \cong I_{LED} \cdot 10\% \quad (14)$$

$$L_4 = \frac{V_o \cdot (1-D) \cdot T_s}{\Delta I_{L4}} \quad (15)$$

Como no dimensionamento do capacitor C_1 deve ser considerada a frequência de ressonância (F_{Res}) definida, portanto o capacitor C_2 pode ser calculado conforme a Equação (16).

$$C_2 = \frac{1}{(2 \cdot \pi \cdot f_{res})^2 \cdot (L_3 + L_4)} \quad (16)$$

A corrente de saída média do segundo estágio (SEPIC PC), pode ser encontrada pela Equação (17) que é igual a corrente do diodo D_2 (I_{D2}), responsável por alimentar a carga e carregar o capacitor C_o durante o intervalo de tempo t_{off} ($(1-D)T_s$). Durante o intervalo de tempo t_{on} (DT_s) o diodo 2 é aberto e o capacitor é o responsável por alimentar a carga.

$$I_{D2} = (I_{L3} + I_{L4}) \cdot (1-D) \quad (17)$$

Como o segundo estágio SEPIC opera em CCM a ondulação de baixa frequência da tensão de saída e dada pela Equação (18). O capacitor de barramento de saída (C_o) é definido para percentual inferior a 2% de variação na tensão de saída em alta frequência ($\Delta V_{o_HF} < 2\% \cdot V_o$) de acordo com a Equação (19). Assim atenuando a variação de alta frequência na carga, evitando sua influência no sistema de controle. O valor de saída ΔV_{Co} será o valor de baixa frequência encontrado através da Equação (18) que depende exclusivamente de ΔV_{Bus} .

$$\Delta V_{o_LF} = \frac{D}{1-D} \cdot \Delta V_{Bus} \quad (18)$$

$$C_o = \frac{I_{LED} \cdot D}{\Delta V_{o_HF} \cdot F_s} \quad (19)$$

Com a definição dos componentes do projeto, o circuito de controle é implementado com o objetivo de minimizar a ondulação de corrente de saída através do controle da razão cíclica, permitindo assim baixa ondulação com os valores reduzidos de capacitância definidos no projeto.

Para implementar o controle, o segundo estágio (SEPIC operando em CCM) é modelado através da representação em espaço de estados para a modelagem em pequenos sinais de acordo com (Reginaldo, 2009). O modelo é comparado com a resposta da planta através da ferramenta AC Sweep do software PSIM[®], como é ilustrado na Figura 10, validando assim o comportamento da modelagem como em (Batschauer, 2012).

O comportamento da planta difere do modelo matemático para frequências próximas da frequência de comutação, porém à frequência de cruzamento utilizada para dimensionamento do controle é de no máximo 25% da frequência de chaveamento. Com a resposta em frequência do conversor, é dimensionado um controlador PID com o auxílio do software MATLAB[®].

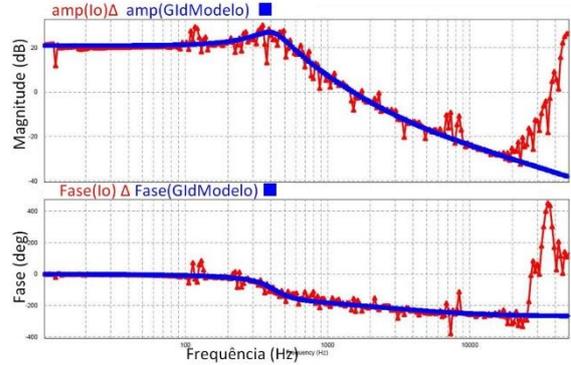


Figura 10- Comparação de I_o por D gerado pelo circuito de potência e modelo função de transferência.

4 Projeto da topologia SEPIC quadrático

Para realizar o projeto da topologia são necessários dados de projeto que estão na Tabela 1 e dados de carga (LED), composta por dois módulos em série do modelo BXRA-C4500 com tensão direta $V_f=25,4V$ e corrente $I_f=2,1A$, de acordo com (Bridgelux, 2010).

Tabela 1. Especificações de projeto SEPIC quadrático.

Símbolo	Descrição	Valor
V_g	Tensão de pico na entrada	311 V
f_L	Frequência da rede	60 Hz
f_s	Frequência de chaveamento	50 kHz
I_o	Corrente de saída	2,1 A
R_o	Resistência equivalente do arranjo de LEDs	24,2 Ω
V_o	Tensão de saída	50,8 V
P_o	Potência de saída	106,68 W
η	Rendimento do conversor	90,25 %
$\% \Delta I_{L3}$	Porcentagem de variação corrente em L_1	10%
$\% \Delta I_{L3}$	Porcentagem de variação da corrente em L_3	10%
$\% \Delta I_{L4}$	Porcentagem de variação corrente em L_4	10%

O primeiro passo é traçar o gráfico usando as Equações (1) e (2) para escolher o valor de V_{Bus} e a razão cíclica de operação D , conforme Figura 9. Escolhendo então $V_{Bus}=150,44V$ aproximadamente 20% acima do ponto de cruzamento das curvas $V_{cruz}=125,8V$.

Com o valor de V_{Bus} definido pode-se encontrar a razão cíclica de operação através da Equação (2),

$D=0,252$. Este valor deve ficar abaixo do valor obtido pela Equação (1), $D_{critSEPIC1}=0,325$, garantindo que o primeiro estágio opere em DCM.

Através das Equações (3) e (4) é possível encontrar o valor de $L_{eq}=261 \mu H$ e $P_{in}=117,45 W$ encontrar através da Equação (5) e (6) o valor de $L_1=20,7mH$ com ΔI_{L1} de 10% e $I_{pk}=0,757A$ e na Equação (7) $L_2=264 \mu H$.

A frequência de ressonância que obedece aos requisitos do conversor é $f_{res}=2kHz$, encontra-se na Equação (8) $C_1=302nF$. O valor escolhido inicialmente para C_{Bus} é $30 \mu F$ e através da Equação (11) encontra-se uma ondulação de aproximadamente 46% de V_{Bus} , $\Delta V_{Bus}=69,35V$.

Através das Equações (13), (14), (15) e (16) encontra-se $L_3=10,68 mH$ e $L_4=3,618 mH$ considerando ΔI_{L3} e $\Delta I_{L4}=10\%$. De acordo com (16) $C_2=44,28nF$. Através da equação (19) encontra-se o valor de $C_o=10 \mu F$, na equação (18) encontra-se a ondulação de aproximadamente $\Delta V_o=45,5\%$ de V_o , $\Delta V_o=23,11 V$.

O fator de potência (FP) e a distorção harmônica total da corrente de entrada (THDi) são estabelecidas segundo norma IEC 61000-3-2 para equipamentos Classe C de acordo com (Pourarab, et al., 2015) os parâmetros mínimos são $FP=0,92$ e $THDi=30\% * FP$ do reator.

Através da função de transferência do conversor, implementa-se um controlador PID com o intuito de reduzir a ondulação de saída.

5 Resultados e simulação.

Os componentes utilizados na simulação estão descritos na Tabela 2.

Tabela 2- Tabela de componentes da simulação.

Símbolo	Descrição	Valor
L_1	Indutor L_1	20,7mH
L_2	Indutor L_2	264,3 μH
C_1	Capacitor C_1	302nF
L_3	Indutor L_3	10,68mH
L_4	Indutor L_4	3,61mH
C_2	Capacitor C_2	44,29nF
C_{Bus}	Capacitor de barramento	30 μF
C_o	Capacitor de saída	10 μF
R_{LED}	Resistor equivalente LED	24,2 Ω

A simulação foi realizada no software PSIM e os principais resultados são apresentados na Tabela 3 e ilustrados na Figura 11.

Os resultados obtidos através da simulação com razão cíclica constante são apresentados na Figura 11 e na coluna 4 da Tabela 3. A ondulação da corrente de saída é de aproximadamente 40%, o fator de potência e baixa distorção harmônica da corrente de entrada são alcançados e os demais valores ficam bem próximos dos valores estabelecidos no projeto.

A simulação com o controle da corrente de saída através da variação da razão cíclica tem seus resultados apresentados no gráfico da Figura 11 e na coluna 5 da Tabela 3. É possível concluir que o controle da corrente de saída pela razão cíclica estabelecido reduz a ondulação de saída para menos de 10%, possui $FP=0,976$ e $THD=14,4\%$ valores de entrada aceitáveis de acordo com IEC 61000-3-2 Classe C, e os demais valores ficam próximos aos valores de projeto.

Tabela 3- Comparação de valores de projeto e resultados das simulações com razão cíclica fixa e controlada.

Símbolo	Descrição	Cálculo de projeto	Razão cíclica fixa	Razão cíclica controlada
V_o	Tensão de saída	50,8V	53,7V	51,3V
ΔV_o	Varição tensão de saída	23,11V	21,9V	4,47V
I_o	Corrente de saída	2,1A	2,21A	2,099A
ΔI_o	Varição corrente de saída	1,05A	0,853A	0,18A
V_{Bus}	Tensão barramento	150V	160V	164V
ΔV_{Bus}	Varição tensão de barramento	69,35V	62,65V	59,2V
I_{inpk}	Corrente de pico entrada	0,757A	0,87A	0,93A
I_{L3}	Corrente indutor L_3	707mA	746mA	672mA
I_{L4}	Corrente indutor L_4	2,1A	2,21A	2,1A
P_{in}	Potência de entrada	117,4W	123,4W	112,8W
FP	Fator de potência	0,92	0,999	0,976
THDi	Distorção harmônica total	29,31%	3,467%	14,4%

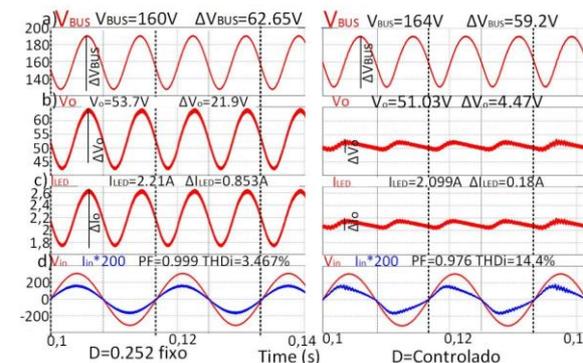


Figura 11- Formas de onda da simulação com razão cíclica constante e com controle da razão cíclica. a) Tensão do capacitor de barramento V_{Bus} . b) Tensão de saída V_o . c) Corrente de saída I_{LED} . d) Tensão de entrada V_{in} e corrente de entrada I_{in} .

4 Conclusão

Neste trabalho é apresentado um SEPIC quadrático projetado para ser utilizado como reator no acionamento de LEDs de potência. O primeiro estágio do conversor tem a função PFC e opera em DCM, o segundo estágio tem a função de controle da corrente entregue à carga e opera em CCM. A metodologia de projeto utilizada busca possibilitar a utilização de capacitores de filme substituindo capacitores eletrolíticos, de modo a aumentar a confiabilidade e vida útil do sistema. Porém o reduzido valor capacitivo gera uma grande ondulação na tensão e corrente da carga.

A utilização de um circuito de controle da razão cíclica em função da corrente foi implementado, reduzindo as ondulações da corrente de saída, viabilizando a utilização dos capacitores de filme. Mesmo com uma redução no fator de potência e aumento no THDi os valores continuam aceitáveis para reatores de lâmpadas LED estipulados pela IEC 61000-3-2 para equipamentos Classe C.

O conversor foi projetado para acionar dois arranjos de LEDs em série com potência total de $P_o=106.68W$, corrente nominal de saída $I_{LED}=2.1A$. A simulação foi realizada com razão cíclica constante e com controle da corrente através da razão cíclica. Alcançando bons resultados, com uma topologia diferente das até então utilizadas.

Referências Bibliográficas

- Ahish, A., Nosh, M. K. & Jan, S., 2007. Failures of Electrical/Electronic Components: Selected Case Studies. Product Compliance Engineering, 2007. PSES 2007. IEEE Symposium on., pp. 1-6.
- Alonso, J. et al., 2012. Reducing storage capacitance in off-line LED power supplies by using integrated converters. Las Vegas, NV, USA, s.n., pp. 1-8.
- Batschauer, A. L., 2012. Apostila da disciplina de controle de conversores estáticos. Joinville(Santa Catarina): Universidade do Estado Santa Catarina.
- Bridgelux, 2010. <http://www.farnell.com/datasheets>. [Online] Available at: http://www.farnell.com/datasheets/516726.pdf?_ga=2.172389219.1792616471.1520531050-1690757376.1520531050 [Acesso em 08/03/2018].
- Cosetin, M. R. et al., 2014. Dimmable single-stage SEPIC-Ćuk converter for LED lighting with reduced storage capacitor. Vancouver, BC, Canada, IEEE, pp. 1-7.
- EPCOS, 2011. Metalized Polyester Film Capacitors MKT. s.l.:EPCOS.
- Gu, L., Ruan, X. & Yao, K., 2009. Means of eliminating electrolytic capacitor in AC/DC power supplies for LED lightings. IEEE Transactions on Power Electronics, 24(5), pp. 1399-1408.
- Martins, D. C. & Barbi, I., 2006. Eletrônica de Potência: conversores cc-cc básicos não isolados. s.l.:Edição dos Autores.
- Office of ENERGY EFFICIENCY & RENEWABLE ENERGY, 2017. Solid-State Lighting 2017 Suggested Research Topics. s.l.:U. S. Department of Energy.
- Pourarab, M. H., Nakhodchi, N. & Monfared, M., 2015. Harmonic analysis of LED street lighting according to IEC61000-3-2; A case study. 23rd International Conference on Electricity Distribution, June.
- Reginaldo, J. d. B., 2009. Análise, projeto e implementação de conversores CC-CC com ampla faixa de conversão aplicados em iluminação de estado sólido.. Uberlândia: s.n.
- Simonetti, D. S. L., Sebastián, J. & Eceda, J., 1997. The discontinuous conduction mode Sepic and Cuk power factor preregulators: analysis and design.. IEEE Transactions on Industrial Electronics, 44(5), pp. 630-637.
- Zhou, Y., Li, X. & Ye, X., 2012. A remaining useful life prediction method based on condition monitoring for LED driver. Beijing, China, Proceedings of the IEEE 2012 Prognostics and System Health Management Conference (PHM-2012 Beijing), pp. 1-5.