DOI: 10.48011/sbse.v1i1.2430

Análise e Implementação de um Amplificador Bidirecional Trifásico no Contexto de Simulações *Power Hardware-in-the-Loop (PHIL)*

Lallamand Canedo de Souza[1], Lélio Ribeiro Soares Júnior[1], Fernando Cardoso Melo[1], Elias Barbosa de Alvarenga[2]

1) Universidade de Brasília (UnB), Faculdade de Tecnologia (FT), Departamento de Engenharia Elétrica (ENE) - Campus Universitário Darcy Ribeiro, Brasília-DF - CEP 70910-900
canedolallamand@gmail.com, lelio@ene.unb.br, fernando.melo@ene.unb.br
2) CEB Distribuição S/A
elias.barbosa@ceb.com.br

Abstract: This paper approaches an implementation of a three-phase bidirectional power amplifier, which is necessary for simulating interactions between a real electric system and a virtual one. The amplifier works as a power interface that connects the static (or electromechanic) power devices and the Real Time Simulator (RTS) of electrical systems from OPAL®. The implementation of the laboratory structure, which is still under development, will be presented. This structure will make possible to run the PHIL simulation through the insertion of a Distributed Generation system, composed of a photovoltaic arrangement and a microinverter, in a computationally modelled electric network.

Resumo: O presente artigo aborda a implementação de um amplificador de potência bidirecional trifásico, o qual possibilitará simular interações de um sistema elétrico real com um virtual. O amplificador funciona como interface de potência entre o dispositivo elétrico estático (ou eletromecânico) de potência e o Simulador em Tempo Real (STR) de sistemas elétricos da OPAL®. Será apresentada a estrutura laboratorial, ainda em desenvolvimento, que permitirá a simulação PHIL a partir da inserção de um sistema de geração distribuída, composto por um arranjo fotovoltaico e um microinversor, em uma rede elétrica modelada computacionalmente.

Keywords: Three-Phase Bidirectional Amplifier, Power Electronics, Power Hardware-in-the-Loop.

Palavras-chaves: Amplificador Bidirecional Trifásico, Eletrônica de Potência, PHIL.

1. INTRODUÇÃO

O presente artigo trata da análise e da implementação de um amplificador trifásico bidirecional que serve de interface de potência para o desenvolvimento de simulações no contexto de *Power Hardware in the Loop* (PHIL), ou seja, trata-se de uma estrutura de potência inserida no laço de controle operando em malha fechada, na qual parte do sistema é real e outra parte é simulada.

A Fig. 1 apresenta a estrutura do sistema em desenvolvimento. Como uma das possibilidades, apresenta-se um dispositivo real, denominado "equipamento sob teste" ou HUT (*Hardware Under Test*), dada por geração de energia solar fotovoltaica. Uma rede elétrica simulada em tempo real no OPAL 5700 deverá interagir com o equipamento sob teste. O simulador opera com baixos níveis de potência, e por isso é necessária a utilização de um amplificador que sirva de interface entre o mesmo e o equipamento sob teste. A energia gerada a partir da fonte fotovoltaica necessita ser escoada e ela será conduzida para a rede elétrica da concessionária. A proposta é que o equipamento sob teste enxergue uma rede "virtual", implementada a partir do simulador e não especificadamente a rede elétrica para o escoamento de energia (Viehweider, 2011).

O amplificador corresponde a um conversor trifásico do tipo *back-to-back*. O controlador do conversor permite que se force uma tensão adequada no ponto de conexão A, tal que o inversor do HUT possa operar. No ponto de conexão A, o conversor opera como uma fonte de tensão trifásica. Essa tensão será reflexo da tensão presente em alguma barra do circuito elétrico de distribuição simulado. A corrente trifásica gerada a partir do sistema fotovoltaico será conduzida pelo conversor para uma rede real de escoamento, através do ponto de conexão B. O controlador do conversor será responsável por definir a tensão no ponto de conexão A, escoar a energia gerada para a rede real no ponto de conexão B e garantir que um nível adequado de tensão esteja presente em seu barramento CC para as operações dos dois lados do conversor (Silveira, 2016).

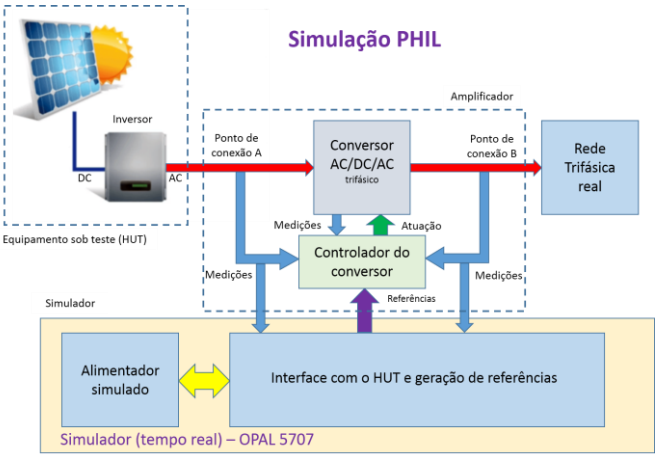

Fig. 1. Estrutura do sistema sob estudo.

Desse modo, a corrente escoada para a rede real será medida e refletirá na corrente injetada no barramento sob teste na rede simulada. Assim, a rede simulada interagirá com o HUT. O HUT irá operar com uma rede "virtual", uma vez que a tensão presente no ponto de conexão A não necessariamente será a tensão presente no ponto de conexão B, mas aquela indicada a partir da rede simulada.

A proposta da estrutura em questão é que ela seja flexível, permitindo ensaiar HUTs de naturezas diversas. Por exemplo, pode-se ter como HUT uma carga elétrica passiva resistiva. Assim, com o uso do amplificador seria possível excitar a carga com a energia proveniente da rede real, mas com parâmetros elétricos refletindo os mesmos presentes em um certo barramento da rede simulada (tensão e corrente). De forma geral, a rede simulada gera uma excitação para o HUT, e sua resposta é refletida nessa mesma rede.

O presente artigo é organizado em 5 seções. Nessa seção (seção 1), foi descrita a proposta do trabalho. Na seção 2, são descritos os itens de equipamentos utilizados na estrutura laboratorial. Na seção 3 são descritas as metodologias de controle do conversor na implementação do amplificador de potência. Na seção 4 são apresentados resultados preliminares da estrutura. Finalmente, na seção 5 tem-se uma conclusão dos trabalhos já realizados.

2. DISPOSITIVOS DA INFRAESTRUTURA LABORATORIAL

No desenvolvimento da estrutura do amplificador, utilizou-se a abordagem de fonte de potência chaveada (Felix et al. 2012). A fonte chaveada, bem como o mecanismo para transferência de potência elétrica entre instâncias, é implementada com o uso de um conversor *back-to-back* baseado em chaves IGBTs. Os sinais chaveados na saída do conversor são filtrados utilizando-se filtros LCL ou LC. No controle do conversor, utiliza-se um DSC (*Digital Signal Processor*) com capacidade de processamento em ponto flutuante. Para fins de simulação de redes elétricas, utiliza-se um simulador em tempo real com capacidade de conexão com dispositivos externos via canais analógicos de entrada e saída. A seguir, os elementos da estrutura são descritos.

2.1 Conversor (Retificador/Inversor) back-to-back

No conversor *back-to-back*, conforme indicado na Fig. 2, tem-se duas pontes trifásicas que, individualmente, podem operar segundo alguma estratégia de controle, como inversor ou como retificador (Soares, 2012).

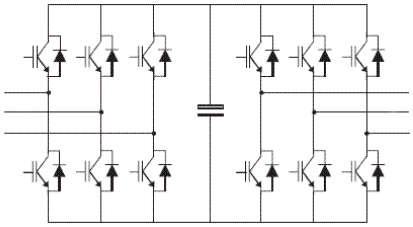

Fig. 2 Conversor *back-to-back*

O conversor utilizado corresponde ao equipamento Semikron SKS 88F (B6CI)2P 61 V12, apresentado na Fig. 3, com chaves IGBT e *gate-drivers* incorporados. Possui tensão máxima de barramento CC de 900V, tensão máxima CA (saída) de 500V e frequência máxima de chaveamento de 20kHz. A corrente máxima depende do regime de operação e de sobrecarga de até 88A. A capacitância do barramento CC é de 6000µF. O equipamento operará segundo uma técnica de modulação PWM (*Pulse-Width Modulation*).

Fig. 3 Conversor Semikron SKS 88F.

2.2 Filtros analógicos

Para a filtragem, é utilizado um filtro passa-baixas na configuração estrela LC conectado entre o microinversor e o conversor ca/cc/ca, sendo as indutâncias de 3mH e as capacitâncias de 11,4µF. Esse tipo de conexão se faz necessário para a alimentação do microinversor com tensões de linha de 380V e tensões fase-neutro de 220V, a mesma que o equipamento seria submetido caso fosse conectado à barra real da FT-UnB.

Na frequência de 60Hz, o capacitor se comporta, frente à reatância indutiva, como um circuito aberto. Assim, na modelagem do filtro, tem-se um comportamento LR, em que R é resistência do indutor, em torno de 0,4Ω.

2.3 Controladores

Para a implementação dos controladores é utilizada a placa de desenvolvimento ezDSP F28335 da Spectrum Digital®. A plataforma é baseada no DSC TMS320F28335 da Texas Instruments®. Trata-se de um processador de 32 bits e unidade lógica aritmética de ponto flutuante. Possui diversos dispositivos periféricos, com destaque para os 16 canais de entradas analógicas de 12 bits e as 16 saídas PWM convencionais. A Fig. 4 mostra essa placa.

Fig. 4. Placa de desenvolvimento ezDSP 28335.

2.4 Simulador em tempo real

Para a simulação digital de redes elétricas em tempo real, foi utilizado o simulador OPAL 5700-8, ilustrado na Fig. 5, com processamento baseado na CPU Intel® Xeon® E5 (8 núcleos) e na FPGA Xilinx® Virtex®-7. O equipamento opera segundo o ambiente RT-Lab e a ferramenta de simulação de redes elétricas ePhasorSim. A configuração utilizada possui 16 canais de entradas analógicas de 16 bits, 400kS/s e faixa de tensão de ±20V, bem como 16 canais de saídas analógicas de 16 bits, 1MS/s e faixa de tensão de ±16V. Essas interfaces analógicas/digitais permitem que o simulador possa interagir com o controlador do conversor, bem como monitorar as condições da carga.

Fig. 5 Simulador em tempo real OPAL 5700-8

2.5 Circuitos de instrumentação eletrônica

Para conexão dos dispositivos: conversor *back-to-back*, placa de controle e simulador em tempo real, foram desenvolvidas interfaces de medição e excitação. O processador TMS320F28335 opera com tensão de 0,0V-3,0V em seus canais de entrada A/D. Já as saídas e entradas digitais, dentre as quais as saídas PWM, operam com níveis 0V-3,3V. As entradas analógicas do simulador OPAL operam com tensões na faixa de ±20V e a saídas analógicas na faixa de ±16V. Nos dispositivos HUT, as correntes podem chegar a dezenas de ampères, enquanto as tensões a centenas de volts. Para as medições de tensões e correntes, são utilizados sensores/transdutores e circuitos de condicionamento para permitir que os dispositivos de processamento (controlador do conversor e simulador do sistema elétrico) possam manipular tais informações.

Para as medições de tensão, são utilizados os transdutores LEM LV20-P e LV25-P, e para as medições de corrente, os transdutores LEM LTA50-P/SP1 e LA 100-P/SP13. Esses transdutores operam pelo efeito Hall, garantindo a isolação galvânica. Além disso, apresentam em suas saídas sinais de corrente, logo foram desenvolvidos condicionadores de sinais para converter essas correntes em tensões em níveis adequados para as entradas analógicas dos dispositivos de processamento digital. Os *gate-drivers* do conversor *back-to-back*, por sua vez, operam com sinais digitais com níveis lógicos CMOS (0/15V). Então, foram desenvolvidas interfaces com isolação galvânica (acoplamento óptico) que permitem conexão com os sinais PWM provenientes do DSC. Na Fig. 6 estão ilustradas algumas placas dos circuitos de instrumentação desenvolvidas.

Fig. 6 Placa de instrumentação.

2.6 Cargas

A saída do conversor, após a filtragem, pode ser conectada às cargas passivas ou à geração fotovoltaica. Espera-se que o conversor mantenha as tensões trifásicas com os níveis especificados pelas simulações sobre essas cargas ou fontes.

2.7 Gerador Fotovoltaico (FV)

O gerador fotovoltaico a ser conectado à rede simulada FT-UnB será constituído por quatro módulos fotovoltaicos (FV) com potência de pico de 330Wp cada (totalizando 1,32 kWp). Para converter a energia proveniente do arranjo fotovoltaico, será utilizado um microinversor trifásico (APsystems YC1000), o qual apresenta 4 algoritmos de MPPT (*Maximum Power Point Tracking* - Rastreamento do Ponto de Máxima Potência) dedicados para cada módulo fotovoltaico. A faixa de tensão de MPPT é de 16-55V com tensão máxima de 60V. A potência de saída do microinversor trifásico é de 1000W, a tensão nominal é de $380V_{fase\text{-}fase}$, frequência é de 60Hz, fator de potência é maior que 0,99 e eficiência de pico é igual a 95%. Além disso, ele apresenta fator de rastreamento do ponto de máxima potência igual a 99,9%.

3. METODOLOGIA DE IMPLEMENTAÇÃO DO AMPLIFICADOR

Tomando-se como referência a Fig. 1, espera-se que o controle do lado inversor do conversor seja tal que se mantenha, no ponto de conexão A, as tensões trifásicas controladas, de acordo com as referências fornecidas. Ele é válido caso, nesse mesmo ponto de conexão, seja conectada uma carga passiva (resistiva, por exemplo). Para controlar a tensão de saída do conversor (ponto de conexão B), utiliza-se uma estratégia de controle em cascata. Dado o modelo dinâmico do conjunto da ponte trifásica com o chaveamento SVPWM e o filtro LC, projeta-se um laço interno de controle de corrente para a saída do filtro com dinâmica rápida e, externamente, fecha-se a malha para o controle da tensão de saída do filtro, com dinâmica lenta de modo a seguir as referências senoidais estabelecidas pelo OPAL. Assim, o controlador interno receberá, como referência de corrente, o sinal de saída do controlador de tensão. Na Fig. 7 (Teodorescu et al. 2011), mostra-se o laço interno para controle de corrente, em que $G_f(s)$ é dada por (1):

$$G_f(s) = \frac{1}{Ls + R} \tag{1}$$

Nessa equação, indica-se a dinâmica do filtro para excitações em baixa frequência (60Hz), em que L é a indutância do indutor e R corresponde à resistência do indutor.

A partir daí, o sinal contínuo passa pelo processo de discretização, no qual são tomadas amostras em intervalos regulares de T_s segundos, tal que T_s é maior que duas vezes a largura de banda do sinal, a fim de satisfazer o Teorema de Nyquist e, então, garantir que a informação seja preservada (evitando o *aliasing*). A influência da discretização na implementação do controlador em relação ao atraso de um período de amostragem dos sinais monitorados e de meio período do sinal PWM é dado, aproximadamente, por (2):

$$G_d(s) = \frac{1}{1 + 1{,}5 T_s s} \tag{2}$$

Em que, T_s corresponde tanto ao período de amostragem para fins de controle quanto ao período do sinal PWM (6 kHz ou 166 µs).

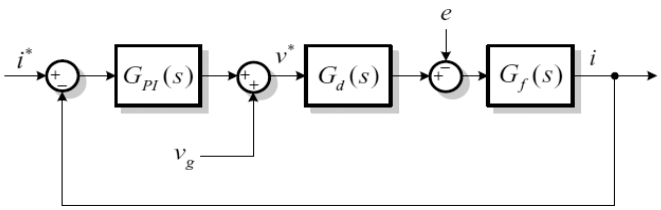

Fig. 7 Controle de corrente (Teodorescu et al. 2011).

Utiliza-se uma abordagem por controle vetorial das variáveis de saída do conversor. Com isso, as variáveis trifásicas de corrente e de tensão são convertidas para o referencial girante síncrono (*dq*). Podem-se utilizar controladores de corrente e de tensão convencionais do tipo PI ($G_{PI}(s)$), forçando o erro nulo para as referências constantes (Teodorescu et al., 2011). Para a implementação desses controladores no DSC, efetuou-se a transformação do domínio contínuo (s) para o discreto (z) por meio da transformada bilinear (Tustin) na frequência de 6 kHz. Na Fig. 8, mostra-se a estrutura de controle de tensão no ponto de conexão A. As correntes e tensões estão expressas no domínio *dq*.

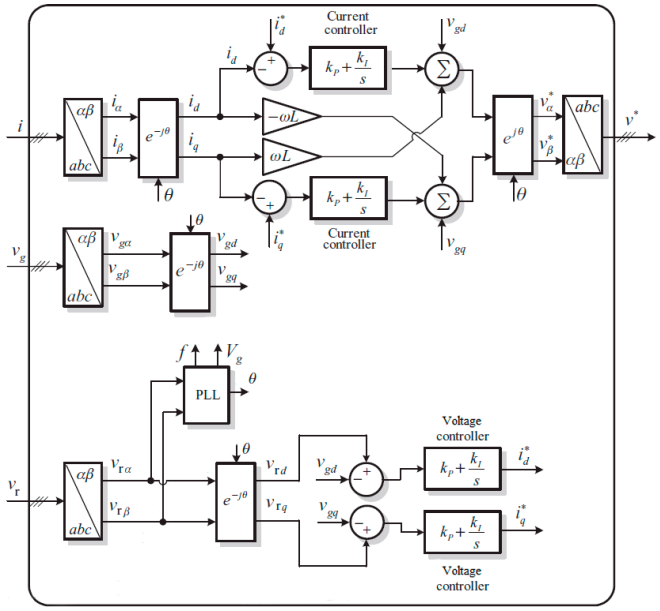

Fig. 8 Controle em cascata de corrente e de tensão (Adaptação de Teodorescu et al. 2011).

Na Fig. 8, v_r corresponde ao vetor com as três tensões trifásicas de referência, sendo que elas são geradas a partir da rede simulada em tempo real, utilizando-se os canais de saída analógica (D/A) do OP5700. O sinal v_g corresponde às três tensões medidas no ponto de conexão A e *i* corresponde às três correntes injetadas a partir da saída do inversor/filtro. Essas variáveis são transformadas para o espaço *dq*, no qual implementa-se o esquema de controle em cascata. Nessa figura, também, são mostrados os procedimentos de ação *feedfoward* para a correção do modelo e de desacoplamento entre as variáveis *d* e *q* do modelo. Para a transformação de espaços (*abc* para *dq*), utiliza-se a transformação de Clarke combinada com a transformação de Park. Para a transformação de Park, é necessário o acompanhamento de ângulo da tensão na fase *a* de v_r. Esse ângulo é obtido utilizando-se um PLL (*Phase-Looked-Loop*).

Para a implementação do PLL, utiliza-se uma configuração DSOGI-PLL (Rodríguez et. al 2006), conforme a Fig. 9.

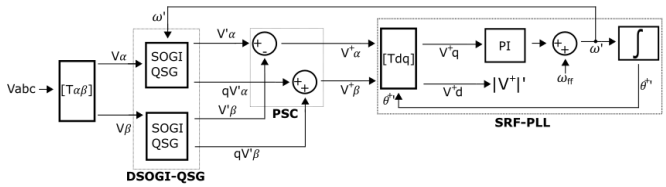

Fig. 9 DSOGI-PLL (Rodríguez et. al 2006).

As tensões trifásicas geradas no nó estudado na rede simulada (FT-UnB), disponíveis (com um fator de escala) na saída do OP5700, alimentam o PLL. Nessa configuração, a partir das tensões trifásicas de entrada, utilizando-se um filtro adaptativo DSOGI (*Dual Second Order Generalized Integrator*) e um PSC (*Positive Sequence Calculator*), geram-se sinais em quadratura ($\alpha\beta$) correspondentes à sequência positiva das tensões de entrada ($\alpha+$ e $\beta+$). No estágio de saída, tem-se o núcleo do PLL clássico SRF-PLL (*Synchronous Reference Frame* PLL). Na saída do PLL, tem-se disponível o ângulo θ da tensão da fase *a* dos sinais de entrada. A frequência ω das tensões de entrada, sendo uma variável interna da estrutura SRF, é utilizada para sintonizar os filtros SOGI presentes na entrada da malha de controle.

O DSOGI-PLL foi implementado no ezDSP (DSC). Seu diferencial frente às outras topologias de implementação de PLLs corresponde ao fato de apresentar relativa robustez em relação aos desequilíbrios e distorções presentes nas tensões trifásicas de entrada. O Filtro DSOGI-PSC faz com que o núcleo SRF-PLL seja alimentado apenas a partir da sequência positiva das tensões de entrada. A estrutura SOGI é composta por dois filtros que geram sinais em quadratura (*Quadrature Signal Generator* – QSG), sendo um filtro passa-baixa e outro passa-faixa. Assim, suas frequências de cortes superiores são tais que os filtros rejeitam componentes harmônicas acima da fundamental em 60Hz.

Na saída do controlador de tensão da Fig. 8, o vetor v^* corresponde ao sinal a ser aplicado na entrada de um modulador PWM com injeção de sequência zero (Hava et. al 1999). Esse procedimento é equivalente à modulação do tipo SVPWM (*Space Vector* PWM). Conforme mostra a Fig. 10, o sinal de sequência zero V_0 injetado nos sinais modulantes, antes das comparações com a onda triangular, é obtido a partir dos próprios sinais modulantes. Em essência, ao longo do tempo, V_0 corresponde a v_a^*, v_b^* ou v_c^* (aquele que possuir menor módulo) multiplicado pelo fator de escala 0,5. Com esse procedimento, obtém-se um melhor aproveitamento da tensão do barramento CC do conversor. Pode-se ter no sinal PWM de saída (por fase) uma componente fundamental com amplitude máxima que corresponderia ao aumento de 15% em relação ao que se conseguiria com a modulação senoidal simples, ou seja, com V_0 nulo.

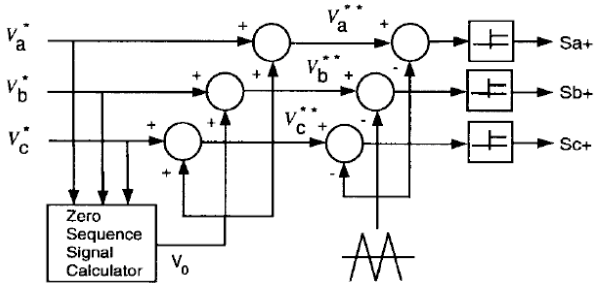

Fig. 10 Modulador PWM (Hava et. al 1999).

4. RESULTADOS EXPERIMENTAIS E DE SIMULAÇÕES DIGITAIS

Foram realizados testes com partes do sistema, em que se simulou a rede elétrica interna do campus da UnB. Testou-se o algoritmo do DSOGI-PLL e simulou-se digitalmente a estratégia de controle da tensão de excitação do HUT.

4.1 Geração das Formas de Onda Utilizando o OP5700-8

Para a rede elétrica de distribuição da UnB, definiu-se a barra da Faculdade de Tecnologia (FT) como a de interesse. Com base no sistema simulado via OpenDSS, converte-se para o RT-Lab o sistema elétrico de distribuição da UnB, através do Simulink/MATLAB®, que se comunica diretamente com o OPAL OP5700-8. A rede simulada apresenta os parâmetros do sistema real e nela será conectada a geração FV.

Observa-se que a rede simulada apresenta as especificações de um barramento em termos do ângulo de fase e dos valores eficazes das tensões das três fases (domínio da frequência). Desse modo, para que o amplificador bidirecional receba as formas de onda de referência, é traduzido o conjunto de sinais de interesse (tensões da barra da FT-UnB), que está no domínio da frequência, para o domínio do tempo. As tensões observadas no barramento são (3):

$$\begin{aligned} V_{a_{FT-UnB}}(t) &= \sqrt{2}.218{,}01.sen(2.\pi.60+0^o) \\ V_{b_{FT-UnB}}(t) &= \sqrt{2}.217{,}65.sen(2.\pi.60-118{,}39^o) \\ V_{c_{FT-UnB}}(t) &= \sqrt{2}.217{,}65.sen(2.\pi.60+117{,}69^o) \end{aligned} \quad (3)$$

Em que, $V_{aFT-UnB}$, $V_{bFT-UnB}$ e $V_{cFT-UnB}$ são as tensões fase-neutro das fases *a*, *b* e *c* da barra da FT-UnB na qual será inserida a geração distribuída via simulações PHIL. As formas de onda geradas pelas saídas D/A do OPAL-RT, estão apresentadas na Figura 11.

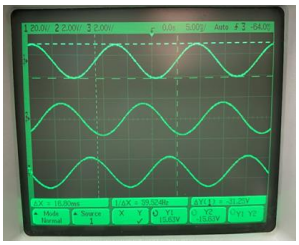

Fig. 11 Formas de onda da barra na qual será conectada uma unidade de Geração Fotovoltaica (FT-UnB).

4.2 Teste do algoritmo DSOGI-PLL

Implementou-se o DSOGI-PLL no DSC e realizou-se, inicialmente, um sincronismo com a rede elétrica trifásica do laboratório. Como o DSC não possui saída analógica para apresentar o acompanhamento do ângulo da fase θ, a verificação do resultado foi feita a partir da geração de uma onda quadrada gerada em uma saída digital.

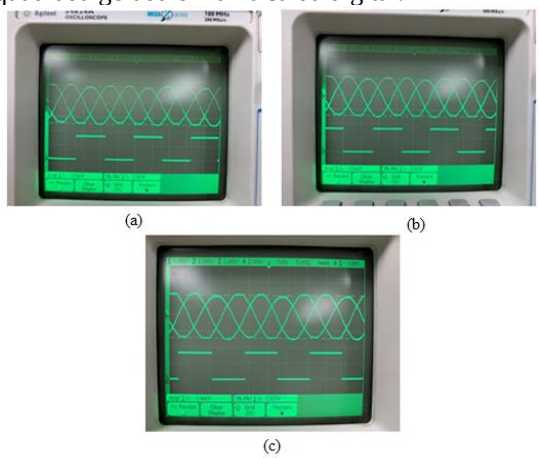

Fig. 12 (a), (b) e (c) Tensões das Fases *a*, *b* e *c*, respectivamente, em relação ao neutro, e os pulsos em sincronismo com as correspondentes fases.

Caso o acompanhamento do ângulo esteja correto, a onda quadrada deve estar em fase com o sinal da fase escolhido da rede. Verifica-se que as ondas quadradas geradas estão em sincronismo com as respectivas entradas senoidais, apesar do pequeno desequilíbrio existente.

4.3 Simulação do controle de tensão de excitação do HUT

Utilizando-se o programa Simulink/MATLAB® e o *toolbox* Simscape, simulou-se o lado inversor do conversor *back-to-back* para a definição da tensão trifásica de excitação do HUT. Assumiu-se que a tensão no barramento CC é garantida por uma fonte de tensão CC de 538,89V. Como o HUT utiliza uma combinação de fonte de corrente trifásica, ele alimenta uma carga resistiva trifásica. A carga resistiva trifásica em configuração estrela é de 10Ω por fase, como mostra a Fig. 13. A tensão de referência desejada no HUT é de $250V_{pico}$. Faz-se a corrente da fonte crescer linearmente em parte do intervalo de simulação (de 33,3ms a 140ms) de 0 a 40A.

Dada a tensão de referência, a corrente na carga deve ter amplitude de pico de 25A. O primeiro ciclo de acompanhamento da tensão de saída em relação à referência e à corrente de saída é visto na Fig. 15. Se a fonte injetar uma corrente nula, então a corrente fornecida pelo inversor deve ser de $25A_{pico}$. Quando a fonte injeta uma corrente de $40A_{pico}$, então a corrente absorvida pelo inversor é de $15A_{pico}$. Portanto, quando a corrente injetada pela fonte for maior que a corrente demandada pela carga, o inversor inverte o sentido do fluxo de potência. Observa-se na Fig. 16, o modo como a corrente de saída do inversor se comporta frente à corrente injetada pela fonte e a plena regulação da tensão na carga.

5. CONCLUSÕES

Os resultados preliminares observados na integração do sistema mostram-se promissores. As simulações em tempo real da rede escolhida, feitas no STR OP5700, são coerentes com as simulações prévias feitas no ambiente OpenDSS. Os sinais presentes em pontos específicos da rede simulada comunicam-se corretamente com os circuitos de controle do conversor (amplificador). O subsistema de sincronismo (PLL) opera de forma adequada, garantindo o sincronismo entre o conversor e a rede simulada. A estratégia de controle de tensão sobre o HUT garantiu uma resposta de acompanhamento adequada, tanto do ponto de vista transitório, quanto em regime permanente. Como próxima etapa no desenvolvimento, será implementada a outra parte do conversor, que consiste no controle de tensão no barramento CC e no controle da potência a ser escoada para a rede real.

AGRADECIMENTOS

O presente estudo foi realizado no âmbito do Programa de P&D da ANEEL, na Chamada ANEEL Nº 001/2016 "Projeto Prioritário de Eficiência Energética e Estratégico de P&D: Eficiência Energética e Minigeração em Instituições Públicas de Educação Superior", e do Termo de Cooperação Técnica 502/2018, celebrado entre CEB Distribuição S.A. e Fundação Universidade de Brasília (FUB), intitulado "Geração Distribuída no Campus da Universidade de Brasília Integrada à Rede de Distribuição da CEB".

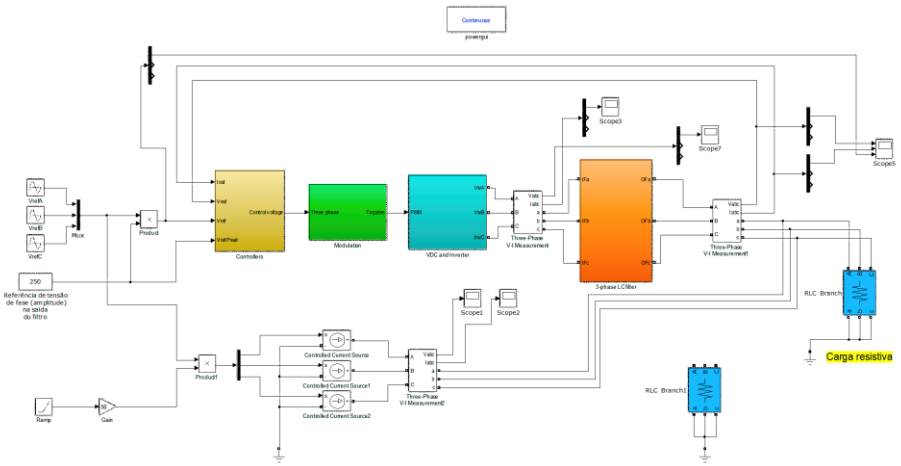

Fig. 13 Diagrama de simulação do inversor do conversor *Back-to-back*.

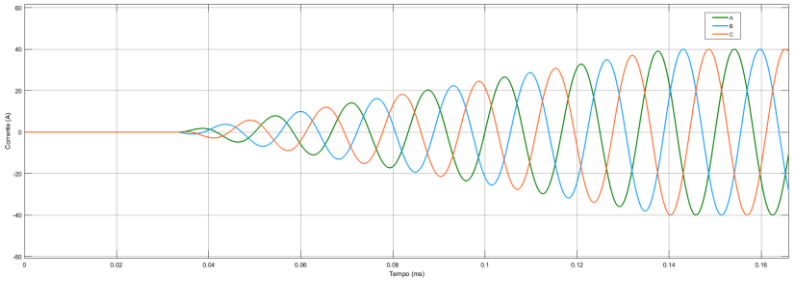

Fig. 14 Correntes injetadas na carga pela fonte de corrente.

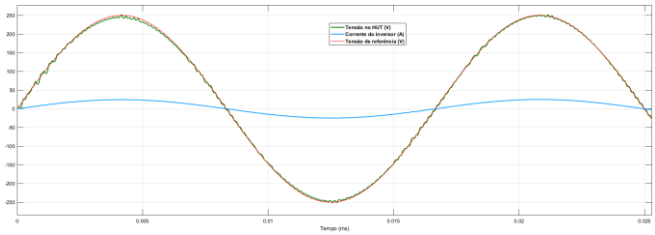

Fig. 15 Formas de onda da tensão sobre o HUT e a corrente na saída do inversor.

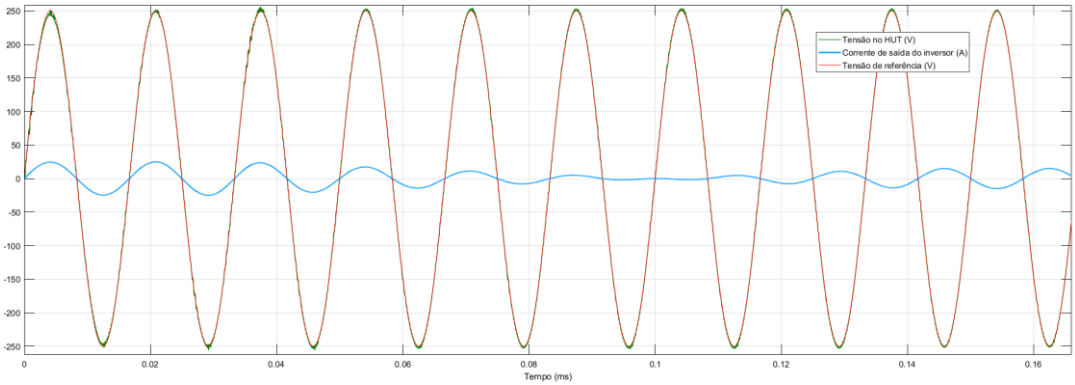

Fig. 16 Comportamento da tensão e da corrente de saída do inversor durante dez ciclos de operação.

REFERÊNCIAS

Felix, L., Lauss, G., et. Al. "Comparison of multiple power amplification types for power hardware-in-the-loop applications", Complexity in Engineering (COMPENG) 2012, pp. 1-6, June 2012.

Teodorescu, R., Liserre, M., Rodriguez, P. "Grid Converters for Photovoltaic and Wind Power Systems". John Wiley & Sons, 2011.

Rodríguez, P, Teodorescu, R., Candela, I., Timbus, A. V., Liserre, M. and Blaabjerg, F. "New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions", 2006 37th IEEE Power Electronics Specialists Conference, pp. 1-7, 2006.

Hava, A. M., Kerkman, R. J. and Lipo, T. A. " Simple analytical and graphical methods for carrier-based PWM-VSI drives", in IEEE Transactions on Power Electronics, vol. 14, no. 1, pp. 49-61, Jan. 1999.

Viehweider, A., Lauss, G., Felix, L., Stabilization of Power Hardware-in-the-Loop simulations of electric energy systems, Simulation Modelling Practice and Theory, Vol. 19, Issue 7, pp 1699-1708, 2011.

Soares, L. T., Pimenta, C. M., Junior, S. I., & Silva, S. R. Modelagem e Controle de um Conversor Back-to-Back para Aplicação em Geração de Energia Eólica, IV Simpósio Brasileiro de Sistemas Elétricos (SBSE), 2012.

Silveira, J. P. C. Avaliação de distorções harmônicas e inter-harmônicas de um sistema de conversão de energia eólica com gerador síncrona. PPGEE DM-643/2016. Departamento de Engenharia Elétrica, Universidade de Brasília, 2016, 139 p.